

# AN14251

## i.MX RT1xxx — 以太网功能和PHY连接

第1版—2024年3月20日

应用笔记

### 文档信息

信息	内容
关键词	NETC、ENET、i.MX RT1xxx、PHY、以太网
摘要	本档介绍了i.MX RT1xxx MCU的以太网功能和PHY连接选项。



## 1 介绍

本文介绍了i.MX RT1xxx MCU的以太网功能和PHY (ISO/OSI物理层) 连接选项。由于PHY未集成在MCU中，必须使用外部PHY将MCU连接到以太网网络。对于PHY连接，使用媒体独立接口。i.MX RT1xxx支持三种接口：媒体独立接口 (MII)、精简媒体独立接口 (RMII)，另外，支持千兆以太网的型号还支持精简千兆媒体独立接口 (RGMII)。

## 2 媒体独立接口

媒体独立接口最初被定义用于连接媒体访问控制 (MAC) 块和PHY芯片。“媒体独立”意味着可以使用不同类型的PHY设备来连接不同的介质 (例如，双绞线、光纤)，而无需重新设计或更换MAC硬件。最初的MII设计已得到了扩展，以适应信号简化和速度提升的需求。当前的版本包括：

- 精简媒体独立接口 (RMII)
- 千兆媒体独立接口 (GMII)
- 精简千兆媒体独立接口 (RGMII)
- 串行媒体独立接口 (SMII)
- 串行千兆媒体独立接口 (SGMII)
- 高速串行千兆媒体独立接口 (HSGMII)
- 四线串行千兆媒体独立接口 (QSGMII)
- 万兆媒体独立接口 (XGMII)

### 2.1 媒体独立接口信号

正如“介绍”部分所述，i.MX RT系列MCU支持MII、RMII和RGMII接口。下表汇总了每种接口的必选和可选信号。

#### 2.1.1 MII信号

表1. MII发送信号

信号名称	说明	方向
TX_CLK	发送时钟	PHY到MAC
TXD[0..3]	发送数据位0 - 3	MAC到PHY
TX_EN	发送启用信号	MAC到PHY
TX_ER	发送错误信号 (可选)	MAC到PHY

表2. MII接收信号

信号名称	说明	方向
RX_CLK	接收时钟	PHY到MAC
RXD[0..3]	接收数据位0 - 3	PHY到MAC
RX_DV	接收数据有效	PHY到MAC
RX_ER	接收错误	PHY到MAC

表2. MII接收信号 (续)

信号名称	说明	方向
CRS	载波侦听	PHY到MAC
COL	冲突检测	PHY到MAC

## 2.1.2 RMII信号

表3. RMII发送信号

信号名称	说明	方向
REF_CLK	50MHz连续参考时钟	MAC到PHY或PHY到MAC
TXD0	发送数据位0	MAC到PHY
TXD1	发送数据位1	MAC到PHY
TX_EN	当为高电平时，通过时钟将TXD0和TXD1上的数据发送到发射机	MAC到PHY

表4. RMII接收信号

信号名称	说明	方向
RXD0	接收数据位0	PHY到MAC
RXD1	接收数据位1	PHY到MAC
CRS_DV	在交替时钟周期复用的载波侦听 (CRS) 和RX数据有效 (RX_DV)。在10Mbit/s模式下，每10个时钟周期交替一次。	PHY到MAC
RX_ER	接收错误 (在交换机上是可选的)	PHY到MAC

## 2.1.3 RGMII信号

表5. RGMII发送信号

信号名称	说明	方向
TXC	发送时钟信号	MAC到PHY
TXD[0..3]	发送数据位0 - 3	MAC到PHY
TX_CTL	“发射机启用”与“发射机错误”复用	MAC到PHY

表6. RGMII接收信号

信号名称	说明	方向
RXC	接收的时钟信号 (从传入的接收数据中恢复)	PHY到MAC
RXD[0..3]	接收数据位0 - 3	PHY到MAC
RX_CTL	“接收数据有效”与“接收机错误”复用	PHY到MAC

### 3 以太网功能

以太网是所有消费电子、工业和汽车应用不可或缺的一部分。因此，所有i.MX RT1xxx芯片都包含至少一个以太网模块，用来连接到以太网网络。[表7](#)汇总了所有i.MX RT1xxx芯片及其以太网功能。

表7. i.MX RT1xxx的以太网功能

芯片	快速以太网 (10/100 Mbps)	千兆以太网 (10/100/1000 Mbps)	以太网交换机 (10/100/1000 Mbps)
i.MX RT101x	-	-	-
i.MX RT102x	1x	-	-
i.MX RT105x	1x	-	-
i.MX RT106x	1x	-	-
i.MX RT117x	1x	1个 (支持AVB) 1个 (支持AVB+TSN)	
i.MX RT118x	-	2个 (支持TSN)	1个 (5端口, 支持TSN)

### 4 MCU PHY连接

如前所述，除i.MX RT101x外，每个i.MX RT1xxx芯片都支持至少一个以太网接口，需要外部PHY才能在以太网网络中进行通讯。具有快速以太网接口的芯片支持媒体独立接口 (MII) 和精简媒体独立接口 (RMII)。具有千兆以太网的芯片还支持精简千兆媒体独立接口 (RGMII)。所有支持以太网的芯片都支持串行管理接口 (SMI)。该接口由两个信号实现，即MDIO (双向数据信号) 和MDC (由MAC设备驱动到PHY的时钟信号)，用于在PHY正常工作之前读取和写入PHY的控制和状态寄存器，对每个PHY进行配置。

#### 4.1 i.MX RT102x

i.MX RT102x系列提供一个快速以太网接口，支持MAC与PHY之间的MII和RMII连接。

##### 4.1.1 MII、RMII和MDIO的可用引脚

[表8](#)、[表9](#)和[表10](#)列出了可用于通过MII和RMII连接PHY的所有可用引脚。

表8. i.MX RT102x——MII管脚

ENET		MII		
通用信号名称	MCU信号名称	MCU端口名称	MCU管脚	方向
TX_CLK	TX_CLK	ENET_TX_CLK	GPIO_SD_B1_04 GPIO_AD_B0_08	I
TXD0	TX_DATA0	ENET_TX_DATA0	GPIO_SD_B1_10 GPIO_AD_B0_14	O
TXD1	TX_DATA1	ENET_TX_DATA1	GPIO_SD_B1_11 GPIO_AD_B0_15	O
TXD2	TX_DATA2	ENET_TX_DATA2	GPIO_EMC_41	O
TXD3	TX_DATA3	ENET_TX_DATA3	GPIO_EMC_40	O

表8. i.MX RT102x—MII管脚 (续)

ENET		MII		
通用信号名称	MCU信号名称	MCU端口名称	MCU管脚	方向
TX_EN	TX_EN	ENET_TX_EN	GPIO_SD_B1_09 GPIO_AD_B0_13	O
TX_ER (可选)	TX_ER	ENET_TX_ER	GPIO_EMC_39	O
RX_CLK	RX_CLK	ENET_RX_CLK	GPIO_EMC_36	I
RXD0	RX_DATA0	ENET_RX_DATA0	GPIO_SD_B1_06 GPIO_AD_B0_10	I
RXD1	RX_DATA1	ENET_RX_DATA1	GPIO_SD_B1_05 GPIO_AD_B0_09	I
RXD2	RX_DATA2	ENET_RX_DATA2	GPIO_EMC_38	I
RXD3	RX_DATA3	ENET_RX_DATA3	GPIO_EMC_37	I
RX_DV	RX_EN	ENET_RX_EN	GPIO_SD_B1_07 GPIO_AD_B0_11	I
RX_ER	RX_ER	ENET_RX_ER	GPIO_SD_B1_08 GPIO_AD_B0_12	I
CRS	CRS	ENET_CRS	GPIO_EMC_34	I
COL	COL	ENET_COL	GPIO_EMC_35	I

表9. i.MX RT102x—RMII管脚

ENET		RMII		
通用信号名称	MCU信号名称	MCU端口名称	MCU引脚	方向
REF_CLK	REF_CLK1	ENET_REF_CLK	GPIO_SD_B1_04 GPIO_AD_B0_08	I/O
TXD0	TX_DATA0	ENET_TX_DATA0	GPIO_SD_B1_10 GPIO_AD_B0_14	O
TXD1	TX_DATA1	ENET_TX_DATA1	GPIO_SD_B1_11 GPIO_AD_B0_15	O
TX_EN	TX_EN	ENET_TX_EN	GPIO_SD_B1_09 GPIO_AD_B0_13	O
RXD0	RX_DATA0	ENET_RX_DATA0	GPIO_SD_B1_06 GPIO_AD_B0_10	I
RXD1	RX_DATA1	ENET_RX_DATA1	GPIO_SD_B1_05 GPIO_AD_B0_09	I
CRS_DV	RX_EN	ENET_RX_EN	GPIO_SD_B1_07 GPIO_AD_B0_11	I
RX_ER	RX_ER	ENET_RX_ER	GPIO_SD_B1_08 GPIO_AD_B0_12	I

表10. i.MX RT102x—MDIO管脚

ENET		MDIO		
通用信号名称	MCU信号名称	MCU端口名称	MCU引脚	方向
MDC	MDC	ENET_MDC	GPIO_EMC_41 GPIO_SD_B0_03 GPIO_AD_B0_05	O
MDIO	MDIO	ENET_MDIO	GPIO_EMC_40 GPIO_SD_B0_02 GPIO_AD_B0_04	I/O

### 4.1.2 MII/RMII引脚和时钟配置

根据所需的连接 (MII/RMII)，为表8 (MII) 或表9 (RMII) 中列出的每个信号选择并配置一个引脚。对表10中列出的MDC和MDIO信号执行相同的操作。

引脚功能通过SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器进行配置。引脚方向由选定的功能自动确定，并在“方向”列中标明。

对每个选定引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器。

- 迟滞——禁用
- 开漏输出——禁用
- 速度——150MHz-200MHz
- 驱动强度——R 0/5
- 斜率——快斜率

输出引脚 (请参阅上表中的“方向”列)：

- 上拉/下拉配置——100K $\Omega$  下拉 (无效)
- 拉/保持选择—保持器 (无效)
- 拉/保持启用——拉/保持器禁用

输入引脚 (请参阅上表中的“方向”列)：

- 上拉/下拉配置——100K $\Omega$  下拉
- 拉/保持选择——拉
- 拉/保持启用——拉/保持器启用

MDIO信号：

- 使用输入引脚的设置。

#### 4.1.2.1 MII连接的特定设置

- 将IOMUXC\_GPR\_GPR1中的ENET\_TX\_CLK\_SEL位设置为1。
- ipg\_clock\_root频率必须为25MHz或更高。

#### 4.1.2.2 RMII连接的特定设置

当使用RMII连接时，可通过两种方式产生RMII参考时钟。

1. RMII参考时钟由MCU提供 (ENET\_REF\_CLK端口为输出)。必须使用以下配置。
2. RMII参考时钟由50MHz外部振荡器提供 (ENET\_REF\_CLK端口为输入)。

参考时钟由MCU提供时:

- 在SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器中, 将ENET\_REF\_CLK引脚的Sion位设置为1。
- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中, 使用输出引脚设置配置ENET\_REF\_CLK。
- 启用ENET\_PLL 500MHz输出, 并将DIV\_SELECT设置为1。这通过CCM\_ANALOG\_PLL\_ENETn寄存器进行配置。对于正确的PLL初始化, 请阅读参考手册中的相关章节。
- 将IOMUXC\_GPR\_GPR1寄存器中的ENET\_REF\_CLK\_DIR位设置为1 (ENET\_REF\_CLK为ENET\_PLL驱动的输出)。
- ipg\_clock\_root频率必须为50MHz或更高。

参考时钟由50MHz外部振荡器提供时:

- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中, 使用输入引脚设置配置ENET\_REF\_CLK。
- 将IOMUXC\_GPR\_GPR1寄存器中的ENET\_REF\_CLK\_DIR位设置为0 (ENET\_REF\_CLK为输入)。
- ipg\_clock\_root频率必须为50MHz或更高。

## 4.2 i.MX RT105x

i.MX RT105x系列提供一个快速以太网接口, 支持MAC与PHY之间的MII和RMII连接。

### 4.2.1 MII、RMII和MDIO的可用引脚

表11. i.MX RT105x—MII管脚

ENET		MII		
通用信号名称	MCU信号名称	MCU端口名称	MCU引脚	方向
TX_CLK	ENET_TX_CLK	ENET_TX_CLK	GPIO_EMC_25 GPIO_B1_10	I
TXD0	ENET_TX_DATA0	ENET_TX_DATA0	GPIO_EMC_22 GPIO_B1_07	O
TXD1	ENET_TX_DATA1	ENET_TX_DATA1	GPIO_EMC_21 GPIO_B1_08	O
TXD2	ENET_TX_DATA2	ENET_TX_DATA2	GPIO_AD_B0_05	O
TXD3	ENET_TX_DATA3	ENET_TX_DATA3	GPIO_AD_B0_04	O
TX_EN	ENET_TX_EN	ENET_TX_EN	GPIO_EMC_24 GPIO_B1_09	O
TX_ER (可选)	ENET_TX_ER	ENET_TX_ER	GPIO_AD_B0_07	O
RX_CLK	ENET_RX_CLK	ENET_RX_CLK	GPIO_AD_B0_06	I
RXD0	ENET_RX_DATA0	ENET_RX_DATA0	GPIO_EMC_20 GPIO_B1_04	I
RXD1	ENET_RX_DATA1	ENET_RX_DATA1	GPIO_EMC_19 GPIO_B1_05	I
RXD2	ENET_RX_DATA2	ENET_RX_DATA2	GPIO_AD_B0_09	I
RXD3	ENET_RX_DATA3	ENET_RX_DATA3	GPIO_AD_B0_08	I

表11. i.MX RT105x—MII管脚 (续)

ENET		MII		
通用信号名称	MCU信号名称	MCU端口名称	MCU引脚	方向
RX_DV	ENET_RX_EN	ENET_RX_EN	GPIO_EMC_23 GPIO_B1_06	I
RX_ER	ENET_RX_ER	ENET_RX_ER	GPIO_EMC_26 GPIO_B1_11	I
CRS	ENET_CRCS	ENET_CRCS	GPIO_AD_B0_10	I
COL	ENET_COL	ENET_COL	GPIO_AD_B0_11	I

表12. i.MX RT105x—RMII管脚

ENET		RMII		
通用信号名称	MCU信号名称	MCU端口名称	MCU引脚	方向
REF_CLK	ENET_REF_CLK	ENET_REF_CLK	GPIO_EMC_25 GPIO_B1_10	I/O
TXD0	ENET_TX_DATA0	ENET_TX_DATA0	GPIO_EMC_22 GPIO_B1_07	O
TXD1	ENET_TX_DATA1	ENET_TX_DATA1	GPIO_EMC_21 GPIO_B1_08	O
TX_EN	ENET_TX_EN	ENET_TX_EN	GPIO_EMC_24 GPIO_B1_09	O
RXD0	ENET_RX_DATA0	ENET_RX_DATA0	GPIO_EMC_20 GPIO_B1_04	I
RXD1	ENET_RX_DATA1	ENET_RX_DATA1	GPIO_EMC_19 GPIO_B1_05	I
CRS_DV	ENET_RX_EN	ENET_RX_EN	GPIO_EMC_23 GPIO_B1_06	I
RX_ER	ENET_RX_ER	ENET_RX_ER	GPIO_EMC_26 GPIO_B1_11	I

表13. i.MX RT105x—MDIO管脚

ENET		MDIO		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
MDC	ENET_MDC	ENET_MDC	GPIO_EMC_40 GPIO_B1_14 GPIO_AD_B1_04	O
MDIO	ENET_MDIO	ENET_MDIO	GPIO_EMC_41 GPIO_B1_15 GPIO_AD_B1_05	I/O



## 4.2.2 MII/RMII引脚和时钟配置

根据所需的连接 (MII/RMII)，为表11 (MII) 或表12 (RMII) 中列出的每个信号选择并配置一个引脚。对表13中列出的MDC和MDIO信号执行相同的操作。

引脚功能通过SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器进行配置。引脚方向由选定的功能自动确定，并在“方向”列中标明。

对每个选定引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器。

- 迟滞——禁用
- 开漏输出——禁用
- 速度——150MHz-200MHz
- 驱动强度——R 0/5
- 斜率——快斜率

输出引脚 (请参阅上表中的“方向”列)：

- 上拉/下拉配置——100K $\Omega$  下拉 (无效)
- 拉/保持选择—保持器 (无效)
- 拉/保持启用——拉/保持器禁用

输入引脚 (请参阅上表中的“方向”列)：

- 上拉/下拉配置——100K $\Omega$  下拉
- 拉/保持选择——拉
- 拉/保持启用——拉/保持器启用

MDIO信号：

- 使用输入引脚的设置

### 4.2.2.1 MII连接的特定设置

- 将IOMUXC\_GPR\_GPR1寄存器中的ENET\_TX\_CLK\_SEL位设置为1。
- ipg\_clock\_root频率必须为25MHz或更高。

### 4.2.2.2 RMII连接的特定设置

当使用RMII连接时，可通过两种方式产生RMII参考时钟。

1. RMII参考时钟由MCU提供 (ENET\_REF\_CLK为输出)。必须使用以下配置。
2. RMII参考时钟由50MHz外部振荡器提供 (ENET\_REF\_CLK端口为输入)。

参考时钟由MCU提供时：

- 在SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器中，将ENET\_REF\_CLK引脚的Sion位设置为1。
- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输出引脚设置配置ENET\_REF\_CLK。
- 启用ENET\_PLL输出，并将DIV\_SELECT设置为1。这通过CCM\_ANALOG\_PLL\_ENETn寄存器进行配置。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将IOMUXC\_GPR\_GPR1寄存器中的ENET\_REF\_CLK\_DIR位设置为1 (ENET\_REF\_CLK为ENET\_PLL驱动的输出)。
- ipg\_clock\_root频率必须为50MHz或更高。

参考时钟由50MHz外部振荡器提供时：

- 在SW\_PAD\_CTL\_PAD\_GPIO\_n SW\_PAD控制寄存器中，使用输入引脚设置配置ENET\_REF\_CLK。
- 将IOMUXC\_GPR\_GPR1寄存器中的ENET\_REF\_CLK\_DIR位设置为0（ENET\_REF\_CLK为输入）
- ipg\_clock\_root频率必须为50MHz或更高。

### 4.3 i.MX RT106x

i.MX RT106x系列提供两个快速以太网接口，ENET和ENET2，支持MAC和PHY之间的MII和RMII连接。无论配置了MII还是RMII模式，这两个接口都可以同时独立使用。每个接口必须使用一组不同的引脚。MDIO、MDC引脚可以由多个PHY共享，或者每个PHY可以连接到单独的一对MDC、MDIO引脚。

#### 4.3.1 ENET MII、RMII和MDIO的可用引脚

表14. i.MX RT106x——ENET MII管脚

ENET		MII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
TX_CLK	TX_CLK	ENET_TX_CLK	GPIO_EMC_25 GPIO_B1_10	I
TXD0	TDATA0	ENET_TX_DATA0	GPIO_EMC_22 GPIO_B1_07	O
TXD1	TDATA1	ENET_TX_DATA1	GPIO_EMC_21 GPIO_B1_08	O
TXD2	TDATA2	ENET_TX_DATA2	GPIO_AD_B0_05	O
TXD3	TDATA3	ENET_TX_DATA3	GPIO_AD_B0_04	O
TX_EN	TX_EN	ENET_TX_EN	GPIO_EMC_24 GPIO_B1_09	O
TX_ER (可选)	TX_ER	ENET_TX_ER	GPIO_AD_B0_07	O
RX_CLK	RX_CLK	ENET_RX_CLK	GPIO_AD_B0_06	I
RXD0	RDATA0	ENET_RX_DATA0	GPIO_EMC_20 GPIO_B1_04	I
RXD1	RDATA1	ENET_RX_DATA1	GPIO_EMC_19 GPIO_B1_05	I
RXD2	RDATA2	ENET_RX_DATA2	GPIO_AD_B0_09	I
RXD3	RDATA3	ENET_RX_DATA3	GPIO_AD_B0_08	I
RX_DV	RX_EN	ENET_RX_EN	GPIO_EMC_23 GPIO_B1_06	I
RX_ER	RX_ER	ENET_RX_ER	GPIO_EMC_26 GPIO_B1_11	I
CRS	CRS	ENET_CRs	GPIO_AD_B0_10	I
COL	COL	ENET_COL	GPIO_AD_B0_11	I

表15. i.MX RT106x——ENET RMII管脚

ENET		RMII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
REF_CLK	REF_CLK1	ENET_REF_CLK	GPIO_EMC_25 GPIO_B1_10	I/O
TXD0	TDATA0	ENET_TX_DATA0	GPIO_EMC_22 GPIO_B1_07	O
TXD1	TDATA1	ENET_TX_DATA1	GPIO_EMC_21 GPIO_B1_08	O
TX_EN	TX_EN	ENET_TX_EN	GPIO_EMC_24 GPIO_B1_09	O
RXD0	RDATA0	ENET_RX_DATA0	GPIO_EMC_20 GPIO_B1_04	I
RXD1	RDATA1	ENET_RX_DATA1	GPIO_EMC_19 GPIO_B1_05	I
CRS_DV	RX_EN	ENET_RX_EN	GPIO_EMC_23 GPIO_B1_06	I
RX_ER	RX_ER	ENET_RX_ER	GPIO_EMC_26 GPIO_B1_11	I

表16. i.MX RT106x——ENET MDIO管脚

ENET		MDIO		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
MDC	MDC	ENET_MDC	GPIO_EMC_40 GPIO_B1_14 GPIO_AD_B1_04	O
MDIO	MDIO	ENET_MDIO	GPIO_EMC_41 GPIO_B1_15 GPIO_AD_B1_05	I/O

### 4.3.2 ENET2 MII、RMII和MDIO的可用引脚

表17. i.MX RT106x——ENET2 MII管脚

ENET2		MII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
TX_CLK	TX_CLK	ENET2_TX_CLK	GPIO_EMC_33 GPIO_SD_B0_01 GPIO_B0_15	I
TXD0	TDATA0	ENET2_TX_DATA0	GPIO_EMC_30 GPIO_B0_12 GPIO_B1_14	O
TXD1	TDATA1	ENET2_TX_DATA1	GPIO_EMC_31 GPIO_B1_15	O

表17. i.MX RT106x—ENET2 MII管脚 (续)

ENET2		MII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
			GPIO_B0_13	
TXD2	TDATA2	ENET2_TX_DATA2	GPIO_B0_05	O
TXD3	TDATA3	ENET2_TX_DATA3	GPIO_B0_04	O
TX_EN	TX_EN	ENET2_TX_EN	GPIO_EMC_32 GPIO_SD_B0_00 GPIO_B0_14	O
TX_ER (可选)	TX_ER	ENET2_TX_ER	GPIO_B0_07	O
RX_CLK	RX_CLK	ENET2_RX_CLK	GPIO_B0_06	I
RXD0	RDATA0	ENET2_RX_DATA0	GPIO_EMC_35 GPIO_SD_B0_03 GPIO_B1_01	I
RXD1	RDATA1	ENET2_RX_DATA1	GPIO_EMC_36 GPIO_SD_B0_04 GPIO_B1_02	I
RXD2	RDATA2	ENET2_RX_DATA2	GPIO_B0_09	I
RXD3	RDATA3	ENET2_RX_DATA3	GPIO_B0_08	I
RX_DV	RX_EN	ENET2_RX_EN	GPIO_EMC_37 GPIO_SD_B0_05 GPIO_B1_03	I
RX_ER	RX_ER	ENET2_RX_ER	GPIO_EMC_34 GPIO_SD_B0_02 GPIO_B1_00	I
CRS	CRS	ENET2_CRIS	GPIO_B0_11	I
COL	COL	ENET2_COL	GPIO_B0_10	I

表18. i.MX RT106x—ENET2 RMII管脚

ENET2		RMII		
通用信号名称	MCU信号名称	MCU端口名称	MCU引脚	方向
REF_CLK	REF_CLK1	ENET2_REF_CLK2	GPIO_EMC_33 GPIO_SD_B0_01 GPIO_B0_15	I/O
TXD0	TDATA0	ENET2_TX_DATA0	GPIO_EMC_30 GPIO_B1_14 GPIO_B0_12	O
TXD1	TDATA1	ENET2_TX_DATA1	GPIO_EMC_31 GPIO_B1_15 GPIO_B0_13	O
TX_EN	TX_EN	ENET2_TX_EN	GPIO_EMC_32 GPIO_SD_B0_00	O

表18. i.MX RT106x——ENET2 RMII管脚 (续)

ENET2		RMII		
通用信号名称	MCU信号名称	MCU端口名称	MCU引脚	方向
			GPIO_B0_14	
RXD0	RDATA0	ENET2_RX_DATA0	GPIO_EMC_35 GPIO_SD_B0_03 GPIO_B1_01	I
RXD1	RDATA1	ENET2_RX_DATA1	GPIO_EMC_36 GPIO_SD_B0_04 GPIO_B1_02	I
CRS_DV	RX_EN	ENET2_RX_EN	GPIO_EMC_37 GPIO_B1_03 GPIO_SD_B0_05	I
RX_ER	RX_ER	ENET2_RX_ER	GPIO_EMC_34 GPIO_B1_00 GPIO_SD_B0_02	I

表19. i.MX RT106x——ENET2 MDIO管脚

ENET2		MDIO		
通用信号名称	MCU信号名称	MCU端口名称	MCU管脚	方向
MDC	MDC	ENET2_MDC	GPIO_EMC_40 GPIO_B1_14 GPIO_AD_B1_04	O
MDIO	MDIO	ENET2_MDIO	GPIO_EMC_41 GPIO_B1_15 GPIO_AD_B1_05	I/O

### 4.3.3 MII/RMII引脚和时钟配置

根据所需的连接 (MII/RMII)，为表14和表17 (MII) 或表15和表18 (RMII) 中列出的每个信号选择并配置一个引脚。对表19中列出的MDC和MDIO信号执行相同的操作。

引脚功能通过SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器进行配置。引脚方向由选定的功能自动确定，并在“方向”列中标明。

对每个选定引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器。

- 迟滞——禁用
- 开漏输出——禁用
- 速度——150MHz-200MHz
- 驱动强度——R 0/5
- 斜率——快斜率

输出引脚 (请参阅上表中的“方向”列)：

- 上拉/下拉配置——100K $\Omega$  下拉 (无效)
- 拉/保持选择—保持器 (无效)

- 拉/保持启用——拉/保持器禁用

输入引脚（请参阅上表中的“方向”列）：

- 上拉/下拉配置——100K $\Omega$  下拉
- 拉/保持选择——拉
- 拉/保持启用——拉/保持器启用

MDIO信号：

- 使用输入引脚的设置。

#### 4.3.3.1 MII连接的特定设置

- 将IOMUXC\_GPR\_GPR1寄存器中的ENET1\_TX\_CLK\_DIR位（如果使用了ENET接口）设置为0，以禁用ENET\_TX\_CLK输出驱动。
- 将IOMUXC\_GPR\_GPR1寄存器中的ENET1\_CLK\_SEL位（如果使用了ENET接口）设置为1。TX\_CLK参考时钟从外部时钟源获得。
- 将IOMUXC\_GPR\_GPR1寄存器中的ENET2\_TX\_CLK\_DIR位（如果使用了ENET2接口）设置为0，以禁用ENET2\_TX\_CLK输出驱动。
- 将IOMUXC\_GPR\_GPR1寄存器中的ENET2\_CLK\_SEL位（如果使用了ENET2接口）设置为1。TX\_CLK参考时钟从外部时钟源获得。
- ipg\_clock\_root频率必须为25MHz或更高。

#### 4.3.3.2 RMII连接的特定设置

当使用RMII连接时，可通过两种方式产生RMII参考时钟。

1. RMII参考时钟由MCU提供（ENET\_REF\_CLK端口为输出）。必须使用以下配置。
2. RMII参考时钟由50MHz外部振荡器提供（ENET\_REF\_CLK端口为输入）。

参考时钟由MCU提供时：

- 在SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器中，将ENET\_REF\_CLK/ ENET2\_REF\_CLK2引脚的Sion位设置为1。
- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输出引脚设置配置ENET\_REF\_CLK/ENET2\_REF\_CLK2。
- 启用ENET\_PLL输出，并将DIV\_SELECT设置为1。这通过CCM\_ANALOG\_PLL\_ENETn寄存器配置。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将IOMUXC\_GPR\_GPR1寄存器中的ENET1\_TX\_CLK\_DIR位（如果使用了ENET接口）或IOMUXC\_GPR\_GPR1寄存器中的ENET2\_TX\_CLK\_DIR位（如果使用了ENET2）设置为1，以启用ENET\_TX\_CLK输出驱动。
- 将IOMUXC\_GPR\_GPR1寄存器中的ENET1\_CLK\_SEL位（如果使用了ENET接口）或IOMUXC\_GPR\_GPR1寄存器中的ENET2\_CLK\_SEL位（如果使用了ENET2接口）设置为0，以启用由ENET\_PLL驱动参考时钟。
- ipg\_clock\_root频率必须为50MHz或更高。

参考时钟由50MHz外部振荡器提供时：

- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输入引脚设置配置ENET\_REF\_CLK/ENET2\_REF\_CLK2。
- 将IOMUXC\_GPR\_GPR1寄存器中的ENET1\_TX\_CLK\_DIR位（如果使用了ENET接口）设置为0，以禁用ENET\_TX\_CLK输出驱动。
- 将IOMUXC\_GPR\_GPR1寄存器中的ENET1\_CLK\_SEL位（如果使用了ENET接口）设置为1。TX\_CLK参考时钟来自外部时钟源。

- 将IOMUXC\_GPR\_GPR1寄存器中的ENET2\_TX\_CLK\_DIR位（如果使用ENET2接口）设置为0，以禁用ENET2\_TX\_CLK输出驱动。
- 将IOMUXC\_GPR\_GPR1寄存器中的ENET2\_CLK\_SEL位（如果使用ENET2接口）设置为1。TX\_CLK参考时钟来自外部时钟源。
- ipg\_clock\_root频率必须为50MHz或更高。

#### 4.4 i.MX RT117x

i.MX RT117x系列提供一个快速以太网接口（ENET）、一个支持AVB的千兆以太网接口（ENETIG）和一个支持AVB和TSN的千兆以太网接口（ENET\_QoS）。这三个接口都支持MAC和PHY之间的MII和RMII连接。此外，两个千兆以太网接口都支持RGMII。

如果不使用MII连接（仅使用RMII和RGMII），则可以同时使用这三个接口。每个接口都要使用一组不同的引脚。MDIO、MDC引脚可以由多个PHY共享，或者每个PHY可以连接到一对独立的MDC、MDIO引脚。

##### 4.4.1 ENET MII、RMII和MDIO的可用引脚

表20. i.MX RT117x—ENET MII管脚

ENET		MII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
TX_CLK	TX_CLK	ENET_TX_CLK	GPIO_AD_29 GPIO_DISP_B2_05	I
TXD0	TX_DATA0	ENET_TX_DATA0	GPIO_AD_30 GPIO_DISP_B2_02	O
TXD1	TX_DATA1	ENET_TX_DATA1	GPIO_AD_31 GPIO_DISP_B2_03	O
TXD2	TX_DATA2	ENET_TX_DATA2	GPIO_AD_13	O
TXD3	TX_DATA3	ENET_TX_DATA3	GPIO_AD_12	O
TX_EN	TX_EN	ENET_TX_EN	GPIO_AD_28 GPIO_DISP_B2_04	O
TX_ER (可选)	TX_ER	ENET_TX_ER	GPIO_AD_15 GPIO_SD_B2_07	O
RX_CLK	RX_CLK	ENET_RX_CLK	GPIO_AD_14	I
RXD0	RX_DATA0	ENET_RX_DATA0	GPIO_AD_26 GPIO_DISP_B2_06	I
RXD1	RX_DATA1	ENET_RX_DATA1	GPIO_AD_27 GPIO_DISP_B2_07	I
RXD2	RX_DATA2	ENET_RX_DATA2	GPIO_AD_17	I
RXD3	RX_DATA3	ENET_RX_DATA3	GPIO_AD_16	I
RX_DV	RX_EN	ENET_RX_EN	GPIO_AD_24 GPIO_DISP_B2_08	I
RX_ER	RX_ER	ENET_RX_ER	GPIO_AD_25 GPIO_DISP_B2_09	I
CRS	CRS	ENET_CRIS	GPIO_AD_18	I

表20. i.MX RT117x—ENET MII管脚 (续)

ENET		MII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
COL	COL	ENET_COL	GPIO_AD_19	I

表21. i.MX RT117x—ENET RMII管脚

ENET		RMII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
REF_CLK	REF_CLK	ENET_REF_CLK	GPIO_AD_29 GPIO_DISP_B2_05 GPIO_DISP_B2_13	I/O
TXD0	TX_DATA0	ENET_TX_DATA0	GPIO_AD_30 GPIO_DISP_B2_02	O
TXD1	TX_DATA1	ENET_TX_DATA1	GPIO_AD_31 GPIO_DISP_B2_03	O
TX_EN	TX_EN	ENET_TX_EN	GPIO_AD_28 GPIO_DISP_B2_04	O
RXD0	RX_DATA0	ENET_RX_DATA0	GPIO_AD_26 GPIO_DISP_B2_06	I
RXD1	RX_DATA1	ENET_RX_DATA1	GPIO_AD_27 GPIO_DISP_B2_07	I
CRS_DV	RX_EN	ENET_RX_EN	GPIO_AD_24 GPIO_DISP_B2_08	I
RX_ER	RX_ER	ENET_RX_ER	GPIO_AD_25 GPIO_DISP_B2_09	I

表22. i.MX RT117x—ENET MDIO管脚

ENET		MDIO		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
MDC	MDC	ENET_MDC	GPIO_EMC_B2_19 GPIO_AD_32	O
MDIO	MDIO	ENET_MDIO	GPIO_EMC_B2_20 GPIO_AD_33	I/O

#### 4.4.2 ENET MII/RMII引脚和时钟配置

根据所需的连接 (MII/RMII)，为表20 (MII) 或表21 (RMII) 中列出的每个信号选择并配置一个引脚。对表22中列出的MDC和MDIO信号执行相同的操作。

引脚功能通过SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器进行配置。引脚方向由选定的功能自动确定，并在“方向”列中标明。

对每个选定引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器。



- 开漏输出——禁用
- 驱动强度——高驱动强度
- 斜率——快斜率

输出引脚（请参阅上表中的“方向”列）：

- 拉/保持选择——拉禁用
- 上拉/下拉配置——弱下拉（无效）

输入引脚（请参阅上表中的“方向”列）：

- 拉/保持选择——拉启用
- 上拉/下拉配置——弱下拉

MDIO信号：

- 使用输入引脚的设置。

#### 4.4.2.1 MII连接的特定设置

- 将IOMUXC\_GPR\_GPR4寄存器中的ENET\_TX\_CLK\_SEL位设置为1。TX\_CLK参考时钟来自管脚。
- BUS\_CLOCK\_ROOT频率必须为25MHz或更高。

#### 4.4.2.2 RMII连接的特定设置

当使用RMII连接时，可通过两种方式产生RMII参考时钟。

1. RMII参考时钟由MCU提供（ENET\_REF\_CLK端口为输出）。
2. RMII参考时钟由50MHz外部振荡器提供（ENET\_REF\_CLK端口为输入）。

RMII参考时钟由MCU提供时：

- 在SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器中，将ENET\_REF\_CLK引脚的Sion位设置为1。
- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输出引脚设置配置ENET\_REF\_CLK。
- 启用SYS\_PLL1\_DIV2输出（500MHz）。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将ENET1\_CLOCK\_ROOT时钟源配置为4（SYS\_PLL1\_DIV2），并将分频器配置为10。时钟根提供RMII所需的50MHz。
- 将IOMUXC\_GPR\_GPR4寄存器中的ENET\_REF\_CLK\_DIR位设置为1（ENET\_REF\_CLK为ENET1\_CLK\_ROOT驱动的输出）。
- BUS\_CLOCK\_ROOT频率必须为50MHz或更高。

RMII参考时钟由50MHz外部振荡器提供时：

- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输入引脚设置配置ENET\_REF\_CLK。
- 将IOMUXC\_GPR\_GPR4寄存器中的ENET\_REF\_CLK\_DIR位设置为0（ENET\_REF\_CLK为输入）。
- BUS\_CLOCK\_ROOT频率必须为50MHz或更高。

4.4.3 ENET1G MII、RMII、RGMII和MDIO的可用引脚

表23. i.MX RT117x—ENET1G MII管脚

ENET1G		MII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
TX_CLK	TX_CLK	ENET_1G_TX_CLK_IO	GPIO_EMC_B2_14 GPIO_DISP_B1_11 GPIO_SD_B2_11	I
TXD0	TX_DATA0	ENET_1G_TX_DATA0	GPIO_EMC_B2_11 GPIO_DISP_B1_09 GPIO_SD_B2_09	O
TXD1	TX_DATA1	ENET_1G_TX_DATA1	GPIO_EMC_B2_12 GPIO_DISP_B1_08 GPIO_SD_B2_08	O
TXD2	TX_DATA2	ENET_1G_TX_DATA2	GPIO_EMC_B2_04 GPIO_DISP_B1_07 GPIO_SD_B2_07	O
TXD3	TX_DATA3	ENET_1G_TX_DATA3	GPIO_EMC_B2_03 GPIO_SD_B2_06 GPIO_DISP_B1_06	O
TX_EN	TX_EN	ENET_1G_TX_EN	GPIO_EMC_B2_13 GPIO_DISP_B1_10 GPIO_SD_B2_10	O
TX_ER (可选)	TX_ER	ENET_1G_TX_ER	GPIO_EMC_B2_06 GPIO_DISP_B2_00	O
RX_CLK	RX_CLK	ENET_1G_RX_CLK	GPIO_EMC_B2_05 GPIO_DISP_B1_01 GPIO_SD_B2_01	I
RXD0	RX_DATA0	ENET_1G_RX_DATA0	GPIO_EMC_B2_15 GPIO_SD_B2_02 GPIO_DISP_B1_02	I
RXD1	RX_DATA1	ENET_1G_RX_DATA1	GPIO_EMC_B2_16 GPIO_SD_B2_03 GPIO_DISP_B1_03	I
RXD2	RX_DATA2	ENET_1G_RX_DATA2	GPIO_EMC_B2_08 GPIO_DISP_B1_04 GPIO_SD_B2_04	I
RXD3	RX_DATA3	ENET_1G_RX_DATA3	GPIO_EMC_B2_07 GPIO_SD_B2_05 GPIO_DISP_B1_05	I
RX_DV	RX_EN	ENET_1G_RX_EN	GPIO_EMC_B2_17 GPIO_SD_B2_00 GPIO_DISP_B1_00	I
RX_ER	RX_ER	ENET_1G_RX_ER	GPIO_EMC_B2_18 GPIO_DISP_B1_01	I

表23. i.MX RT117x—ENET1G MII管脚 (续)

ENET1G		MII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
CRS	CRS	ENET_1G_CRCS	GPIO_EMC_B2_09	I
COL	COL	ENET_1G_COL	GPIO_EMC_B2_10	I

表24. i.MX RT117x—ENET1G RMII管脚

ENET1G		RMII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
REF_CLK	REF_CLK	ENET_1G_REF_CLK	GPIO_EMC_B2_19 GPIO_DISP_B2_14 GPIO_DISP_B1_11 GPIO_SD_B2_11	I/O
TXD0	TX_DATA0	ENET_1G_TX_DATA0	GPIO_EMC_B2_11 GPIO_DISP_B1_09 GPIO_SD_B2_09	O
TXD1	TX_DATA1	ENET_1G_TX_DATA1	GPIO_EMC_B2_12 GPIO_SD_B2_08 GPIO_DISP_B1_08	O
TX_EN	TX_EN	ENET_1G_TX_EN	GPIO_EMC_B2_13 GPIO_SD_B2_10 GPIO_DISP_B1_10	O
RXD0	RX_DATA0	ENET_1G_RX_DATA0	GPIO_EMC_B2_15 GPIO_DISP_B1_02 GPIO_SD_B2_02	I
RXD1	RX_DATA1	ENET_1G_RX_DATA1	GPIO_EMC_B2_16 GPIO_DISP_B1_03 GPIO_SD_B2_03	I
CRS_DV	RX_EN	ENET_1G_RX_EN	GPIO_EMC_B2_17 GPIO_DISP_B1_00 GPIO_SD_B2_00	I
RX_ER	RX_ER	ENET_1G_RX_ER	GPIO_EMC_B2_18 GPIO_DISP_B1_01	I

表25. i.MX RT117x—ENET1G RGMII管脚

ENET1G		RGMII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
TXC	TX_CLK_IO	ENET_1G_TX_CLK_IO	GPIO_EMC_B2_14 GPIO_SD_B2_11 GPIO_DISP_B1_11	O
TXD0	TX_DATA0	ENET_1G_TX_DATA0	GPIO_EMC_B2_11 GPIO_DISP_B1_09	O

表25. i.MX RT117x—ENET1G RGMII管脚 (续)

ENET1G		RGMII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
			GPIO_SD_B2_09	
TXD1	TX_DATA1	ENET_1G_TX_DATA1	GPIO_EMC_B2_12 GPIO_DISP_B1_08 GPIO_SD_B2_08	O
TXD2	TX_DATA2	ENET_1G_TX_DATA2	GPIO_EMC_B2_04 GPIO_SD_B2_07 GPIO_DISP_B1_07	O
TXD3	TX_DATA3	ENET_1G_TX_DATA3	GPIO_EMC_B2_03 GPIO_SD_B2_06 GPIO_DISP_B1_06	O
TX_CTL	TX_EN	ENET_1G_TX_EN	GPIO_EMC_B2_13 GPIO_DISP_B1_10 GPIO_SD_B2_10	O
RXC	RX_CLK	ENET_1G_RX_CLK	GPIO_EMC_B2_05 GPIO_SD_B2_01 GPIO_DISP_B1_01	I
RXD0	RX_DATA0	ENET_1G_RX_DATA0	GPIO_EMC_B2_15 GPIO_SD_B2_02 GPIO_DISP_B1_02	I
RXD1	RX_DATA1	ENET_1G_RX_DATA1	GPIO_EMC_B2_16 GPIO_SD_B2_03 GPIO_DISP_B1_03	I
RXD2	RX_DATA2	ENET_1G_RX_DATA2	GPIO_EMC_B2_08 GPIO_SD_B2_04 GPIO_DISP_B1_04	I
RXD3	RX_DATA3	ENET_1G_RX_DATA3	GPIO_EMC_B2_07 GPIO_SD_B2_05 GPIO_DISP_B1_05	I
RX_CTL	RX_EN	ENET_1G_RX_EN	GPIO_EMC_B2_17 GPIO_SD_B2_00 GPIO_DISP_B1_00	I

表26. i.MX RT117x—ENET1G MDIO管脚

ENET1G		MDIO		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
MDC	MDC	ENET1G_MDC	GPIO_EMC_B2_19 GPIO_EMC_B1_40 GPIO_AD_16 GPIO_AD_32	O
MDIO	MDIO	ENET1G_MDIO	GPIO_EMC_B2_20 GPIO_EMC_B1_41	I/O

表26. i.MX RT117x—ENET1G MDIO管脚 (续)

ENET1G		MDIO		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
			GPIO_AD_17 GPIO_AD_33	

#### 4.4.4 ENET1G MII/RMII/RGMII引脚和时钟配置

根据所需的连接 (MII/RMII/RGMII)，为表23 (MII)、表24 (RMII) 或表25 (RGMII) 中列出的每个信号选择并配置一个引脚。对表26中列出的MDC和MDIO信号执行相同的操作。

引脚功能通过SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器进行配置。引脚方向由选定的功能自动确定，并在“方向”列中标明。

对每个选定引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器。

- 开漏输出——禁用
- PDRV——高驱动强度

输出引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——无上拉或下拉

输入引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——启用内部下拉电阻

MDIO信号：

- 使用输入引脚的设置。

##### 4.4.4.1 MII连接的特定设置

- 将IOMUXC\_GPR\_GPR5寄存器中的ENET1G\_TX\_CLK\_SEL位设置为1。TX\_CLK参考时钟来自管脚。
- BUS\_CLOCK\_ROOT频率必须为25MHz或更高。

##### 4.4.4.2 RMII连接的特定设置

当使用RMII连接时，可通过两种方式产生RMII参考时钟。

1. RMII参考时钟由MCU提供 (ENET\_1G\_REF\_CLK端口为输出)。
2. RMII参考时钟由50MHz外部振荡器提供 (ENET\_1G\_REF\_CLK端口为输入)。

RMII参考时钟由MCU提供时：

- 在SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器中，将ENET\_1G\_REF\_CLK引脚的Sion位设置为1。
- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输出引脚设置配置ENET\_1G\_REF\_CLK。
- 启用SYS\_PLL1\_DIV2输出 (500MHz)。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将ENET2\_CLOCK\_ROOT时钟源配置为4 (SYS\_PLL1\_DIV2)，并将分频器配置为10。时钟根提供RMII所需的50MHz。

- 将IOMUXC\_GPR\_GPR5寄存器中的ENET1G\_REF\_CLK\_DIR位设置为1（ENET1G\_REF\_CLK为ENET2\_CLK\_ROOT驱动的输出）。
- BUS\_CLOCK\_ROOT频率必须为50MHz或更高。

RMII参考时钟由50MHz外部振荡器提供时：

- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输入引脚设置配置ENET\_1G\_REF\_CLK。
- 将IOMUXC\_GPR\_GPR5寄存器中的ENET1G\_REF\_CLK\_DIR位设置为0（ENET1G\_REF\_CLK为输入）。
- BUS\_CLOCK\_ROOT频率必须为50MHz或更高。

#### 4.4.4.3 RGMII连接的特定设置

- 启用SYS\_PLL1\_DIV2输出（500MHz）。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将ENET2\_CLOCK\_ROOT时钟源配置为4（SYS\_PLL1\_DIV2），并将分频器配置为4。时钟根提供RGMII所需的125MHz。
- 将IOMUXC\_GPR\_GPR5寄存器中的ENET1G\_TX\_CLK\_SEL位设置为0。ENET1G\_TX\_CLK由ENET2\_CLK\_ROOT驱动。
- 将IOMUXC\_GPR\_GPR5寄存器中的ENET1G\_RGMII\_EN位设置为1，以启用TX\_CLK\_IO管脚上的ENET1G RGMII TX时钟输出。
- BUS\_CLOCK\_ROOT频率必须为125MHz或更高。

#### 4.4.5 ENET\_QoS MII、RMII、RGMII和MDIO的可用引脚

表27. i.MX RT117x—ENET\_QoS MII管脚

ENET_QoS		MII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
TX_CLK	TX_CLK	ENET_QOS_TX_CLK	GPIO_DISP_B2_05 GPIO_DISP_B1_11	I
TXD0	TX_DATA0	ENET_QOS_TX_DATA0	GPIO_DISP_B2_02 GPIO_DISP_B1_09	O
TXD1	TX_DATA1	ENET_QOS_TX_DATA1	GPIO_DISP_B2_03 GPIO_DISP_B1_08	O
TXD2	TX_DATA2	ENET_QOS_TX_DATA2	GPIO_DISP_B1_07	O
TXD3	TX_DATA3	ENET_QOS_TX_DATA3	GPIO_DISP_B1_06	O
TX_EN	TX_EN	ENET_QOS_TX_EN	GPIO_DISP_B2_04 GPIO_DISP_B1_10	O
TX_ER (可选)	TX_ER	ENET_QOS_TX_ER	GPIO_DISP_B2_00	O
RX_CLK	RX_CLK	ENET_QOS_RX_CLK	GPIO_DISP_B1_01	I
RXD0	RX_DATA0	ENET_QOS_RX_DATA0	GPIO_DISP_B2_06 GPIO_DISP_B1_02	I
RXD1	RX_DATA1	ENET_QOS_RX_DATA1	GPIO_DISP_B2_07 GPIO_DISP_B1_03	I
RXD2	RX_DATA2	ENET_QOS_RX_DATA2	GPIO_DISP_B1_04	I
RXD3	RX_DATA3	ENET_QOS_RX_DATA3	GPIO_DISP_B1_05	I
RX_DV	RX_EN	ENET_QOS_RX_EN	GPIO_DISP_B2_08	I

表27. i.MX RT117x—ENET\_QoS MII管脚 (续)

ENET_QoS		MII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
			GPIO_DISP_B1_00	
RX_ER	RX_ER	ENET_QOS_RX_ER	GPIO_DISP_B2_09 GPIO_DISP_B1_01 GPIO_DISP_B2_10	I
CRS	CRS	ENET_QOS_CRIS	GPIO_DISP_B2_11	I
COL	COL	ENET_QOS_COL	GPIO_DISP_B2_12	I

表28. i.MX RT117x—ENET\_QoS RMII管脚

ENET_QoS		RMII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
REF_CLK	REF_CLK	ENET_QOS_REF_CLK	GPIO_EMC_B2_20 GPIO_DISP_B1_11 GPIO_SD_B2_07	I/O
TXD0	TX_DATA0	ENET_QOS_TX_DATA0	GPIO_DISP_B2_02 GPIO_DISP_B1_09	O
TXD1	TX_DATA1	ENET_QOS_TX_DATA1	GPIO_DISP_B2_03 GPIO_DISP_B1_08	O
TX_EN	TX_EN	ENET_QOS_TX_EN	GPIO_DISP_B2_04 GPIO_DISP_B1_10	O
RXD0	RX_DATA0	ENET_QOS_RX_DATA0	GPIO_DISP_B2_06 GPIO_DISP_B1_02	I
RXD1	RX_DATA1	ENET_QOS_RX_DATA1	GPIO_DISP_B2_07 GPIO_DISP_B1_03	I
CRS_DV	RX_EN	ENET_QOS_RX_EN	GPIO_DISP_B2_08 GPIO_DISP_B1_00	I
RX_ER	RX_ER	ENET_QOS_RX_ER	GPIO_DISP_B2_09 GPIO_DISP_B1_01 GPIO_DISP_B2_10	I

表29. i.MX RT117x—ENET\_QoS RGMII管脚

ENET_QoS		RGMII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
TXC	TX_CLK_IO	ENET_QOS_TX_CLK	GPIO_DISP_B2_05 GPIO_DISP_B1_11	O
TXD0	TX_DATA0	ENET_QOS_TX_DATA0	GPIO_DISP_B2_02 GPIO_DISP_B1_09	O
TXD1	TX_DATA1	ENET_QOS_TX_DATA1	GPIO_DISP_B2_03 GPIO_DISP_B1_08	O

表29. i.MX RT117x—ENET\_QoS RGMII管脚 (续)

ENET_QoS		RGMII		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
TXD2	TX_DATA2	ENET_QOS_TX_DATA2	GPIO_DISP_B1_07	O
TXD3	TX_DATA3	ENET_QOS_TX_DATA3	GPIO_DISP_B1_06	O
TX_CTL	TX_EN	ENET_QOS_TX_EN	GPIO_DISP_B2_04 GPIO_DISP_B1_10	O
RXC	RX_CLK	ENET_QOS_RX_CLK	GPIO_DISP_B1_01	I
RXD0	RX_DATA0	ENET_QOS_RX_DATA0	GPIO_DISP_B2_06 GPIO_DISP_B1_02	I
RXD1	RX_DATA1	ENET_QOS_RX_DATA1	GPIO_DISP_B2_07 GPIO_DISP_B1_03	I
RXD2	RX_DATA2	ENET_QOS_RX_DATA2	GPIO_DISP_B1_04	I
RXD3	RX_DATA3	ENET_QOS_RX_DATA3	GPIO_DISP_B1_05	I
RX_CTL	RX_EN	ENET_QOS_RX_EN	GPIO_DISP_B2_08 GPIO_DISP_B1_00	I

表30. i.MX RT117x—ENET\_QoS MDIO管脚

ENET_QOS		MDIO		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
MDC	MDC	ENET_QOS_MDC	GPIO_EMC_B2_19 GPIO_AD_26	O
MDIO	MDIO	ENET_QOS_MDIO	GPIO_EMC_B2_20 GPIO_AD_27	I/O

#### 4.4.6 ENET\_QoS MII/RMII/RGMII引脚和时钟配置

根据所需的连接 (MII/RMII/RGMII)，为表27 (MII)、表28 (RMII) 或表29 (RGMII) 中列出的每个信号选择并配置一个引脚。对表30中列出的MDC和MDIO信号执行相同的操作。

引脚功能通过SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器进行配置。引脚方向由选定的功能自动确定，并在“方向”列中标明。

对每个选定的GPIO\_DISP\_B1\_xx或GPIO\_EMC\_B2\_xx引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器。

- 开漏输出——禁用
- PDRV——高驱动强度

输出引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——无上拉或下拉

输入引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——启用内部下拉电阻

MDIO信号：

- 使用输入引脚的设置。



对于GPIO\_DISP\_B2\_xx 或GPIO\_AD\_xx引脚，请使用以下设置：

- 开漏输出——禁用
- 驱动强度——高驱动强度
- 斜率——慢斜率

输出引脚（请参阅上表中的“方向”列）：

- 拉/保持选择——拉禁用
- 上拉/下拉配置-弱下拉（无效）

输入引脚（请参阅上表中的“方向”列）：

- 拉/保持选择——拉启用
- 上拉/下拉配置——弱下拉

MDIO信号：

- 使用输入引脚的设置。

#### 4.4.6.1 MII连接的特定设置

- 将IOMUXC\_GPR\_GPR6寄存器中的ENET\_QOS\_CLKGEN\_EN位设置为1，以启用时钟生成器，该时钟生成器根据PHY接口类型和速度提供ENET\_QOS TX/RX时钟。
- 将IOMUXC\_GPR\_GPR6寄存器中的ENET\_QOS\_INTF\_SEL位设置为0，以选择MII接口。
- BUS\_CLOCK\_ROOT频率必须为25MHz或更高。

#### 4.4.6.2 RMII连接的特定设置

当使用RMII连接时，可通过两种方式产生RMII参考时钟。

1. RMII参考时钟由MCU提供（ENET\_QOS\_REF\_CLK端口为输出）。
2. RMII参考时钟由50MHz外部振荡器提供（ENET\_QOS\_REF\_CLK端口为输入）。

RMII参考时钟由MCU提供时：

- 在SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器中，将ENET\_QOS\_REF\_CLK引脚的Sion位设置为1。
- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输出引脚设置配置ENET\_QOS\_REF\_CLK。
- 启用SYS\_PLL1\_DIV2输出（500MHz）。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将ENET\_QOS\_CLOCK\_ROOT时钟源配置为4（SYS\_PLL1\_DIV2），并将分频器配置为10。时钟根提供RMII所需的50MHz。
- 将IOMUXC\_GPR\_GPR6寄存器中的ENET\_QOS\_INTF\_SEL位设置为4，以选择RMII接口。
- 将IOMUXC\_GPR\_GPR6寄存器中的ENET\_QOS\_CLKGEN\_EN位设置为1。这样会启用时钟生成器，该时钟生成器根据PHY接口类型和速度提供ENET\_QOS TX/RX时钟。
- 将IOMUXC\_GPR\_GPR6寄存器中的ENET\_QOS\_REF\_CLK\_DIR位设置为1（ENET\_QOS\_REF\_CLK为ENET2\_CLK\_ROOT驱动的输出）。
- BUS\_CLOCK\_ROOT频率必须为50MHz或更高。

RMII参考时钟由50MHz外部振荡器提供时：

- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输入引脚设置配置ENET\_QOS\_REF\_CLK。

- 将IOMUXC\_GPR\_GPR6寄存器中的ENET\_QOS\_INTF\_SEL位设置为4，以选择RMII接口。
- 将IOMUXC\_GPR\_GPR6寄存器中的ENET\_QOS\_CLKGEN\_EN位设置为1。这样会启用时钟生成器，该时钟生成器根据PHY接口类型和速度提供ENET\_QOS\_TX/RX时钟。
- 将IOMUXC\_GPR\_GPR6寄存器中的ENET\_QOS\_REF\_CLK\_DIR位设置为0（ENET\_QOS\_REF\_CLK为输入）。
- BUS\_CLOCK\_ROOT频率必须为50MHz或更高。

#### 4.4.6.3 RGMII连接的特定设置

- 启用SYS\_PLL1\_DIV2输出（500MHz）。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将ENET\_QOS\_CLOCK\_ROOT时钟源配置为4（SYS\_PLL1\_DIV2），并将分频器配置为4。时钟根提供RGMII所需的125MHz。
- 将IOMUXC\_GPR\_GPR6寄存器中的ENET\_QOS\_INTF\_SEL位设置为1，以选择RGMII接口。
- 将IOMUXC\_GPR\_GPR6寄存器中的ENET\_QOS\_RGMII\_EN位设置为1，以启用TX\_CLK管脚上的ENET\_QOS\_RGMII\_TX时钟输出。
- BUS\_CLOCK\_ROOT频率必须为125MHz或更高。

### 4.5 i.MX RT118x

i.MX RT118x系列提供了一个NETC控制器，该控制器由一个包括5个千兆端口的交换机和两个千兆以太网控制器（ENETC0/1）组成。

ENETC1控制器使用一个伪MAC接口内连到交换机端口。其余端口（四个交换机端口和一个以太网控制器端口）连接到MCU外部。这5个端口都支持MAC和PHY之间的MII、RMII和RGMII。ETH0-ETH3是交换机端口的接口。ETH4是一个ENETC0接口。

如果不使用MII连接（仅使用RMII和RGMII），则可以同时使用所有5个接口。每个接口都要使用一组不同的引脚。MDIO和MDC引脚可以由多个PHY共享，或者每个PHY可以连接到一对单独的MDC、MDIO引脚。

#### 4.5.1 ETH0 MII、RMII和RGMII的可用引脚

表31. i.MX RT1180—ETH0 MII管脚

ETH0		MII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TX_CLK	TX_CLK	ETH0_TX_CLK	GPIO_EMC_B1_37 GPIO_EMC_B2_08	I
TXD0	TX_DATA0	ETH0_TX_DATA0	GPIO_EMC_B1_34 GPIO_EMC_B2_05	O
TXD1	TX_DATA1	ETH0_TX_DATA1	GPIO_EMC_B1_35 GPIO_EMC_B2_06	O
TXD2	TX_DATA2	ETH0_TX_DATA2	GPIO_EMC_B2_03 GPIO_EMC_B2_14	O
TXD3	TX_DATA3	ETH0_TX_DATA3	GPIO_EMC_B2_04 GPIO_EMC_B2_13	O
TX_EN	TX_EN	ETH0_TX_EN	GPIO_EMC_B1_36 GPIO_EMC_B2_07	O
TX_ER (可选)	TX_ER	ETH0_TX_ER	GPIO_EMC_B2_18	O

表31. i.MX RT1180—ETH0 MII管脚 (续)

ETH0		MII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
RX_CLK	RX_CLK	ETH0_RX_CLK	GPIO_EMC_B2_00 GPIO_EMC_B2_15	I
RXD0	RX_DATA0	ETH0_RX_DATA0	GPIO_EMC_B1_38 GPIO_EMC_B2_09	I
RXD1	RX_DATA1	ETH0_RX_DATA1	GPIO_EMC_B1_39 GPIO_EMC_B2_10	I
RXD2	RX_DATA2	ETH0_RX_DATA2	GPIO_EMC_B2_01 GPIO_EMC_B2_16	I
RXD3	RX_DATA3	ETH0_RX_DATA3	GPIO_EMC_B2_02 GPIO_EMC_B2_17	I
RX_DV	RX_EN	ETH0_RX_EN	GPIO_EMC_B1_40 GPIO_EMC_B2_11	I
RX_ER	RX_ER	ETH0_RX_ER	GPIO_EMC_B1_41 GPIO_EMC_B2_12	I
CRS	CRS	ETH0_CRs	GPIO_EMC_B2_19	I
COL	COL	ETH0_COL	GPIO_EMC_B2_20	I

表32. i.MX RT1180—ETH0 RMII管脚

ETH0		RMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
REF_CLK	TX_CLK	ETH0_TX_CLK	GPIO_EMC_B1_37 GPIO_EMC_B2_08	I/O
TXD0	TX_DATA0	ETH0_TX_DATA0	GPIO_EMC_B1_34 GPIO_EMC_B2_05	O
TXD1	TX_DATA1	ETH0_TX_DATA1	GPIO_EMC_B1_35 GPIO_EMC_B2_06	O
TX_EN	TX_EN	ETH0_TX_EN	GPIO_EMC_B1_36 GPIO_EMC_B2_07	O
RXD0	RX_DATA0	ETH0_RX_DATA0	GPIO_EMC_B1_38 GPIO_EMC_B2_09	I
RXD1	RX_DATA1	ETH0_RX_DATA1	GPIO_EMC_B1_39 GPIO_EMC_B2_10	I
CRS_DV	RX_EN	ETH0_RX_EN	GPIO_EMC_B1_40 GPIO_EMC_B2_11	I
RX_ER	RX_ER	ETH0_RX_ER	GPIO_EMC_B1_41 GPIO_EMC_B2_12	I

表33. i.MX RT1180—ETH0 RGMII管脚

ETH0		RGMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TXC	TX_CLK	ETH0_TX_CLK	GPIO_EMC_B1_37 GPIO_EMC_B2_08	○
TXD0	TX_DATA0	ETH0_TX_DATA0	GPIO_EMC_B1_34 GPIO_EMC_B2_05	○
TXD1	TX_DATA1	ETH0_TX_DATA1	GPIO_EMC_B1_35 GPIO_EMC_B2_06	○
TXD2	TX_DATA2	ETH0_TX_DATA2	GPIO_EMC_B2_03 GPIO_EMC_B2_14	○
TXD3	TX_DATA3	ETH0_TX_DATA3	GPIO_EMC_B2_04 GPIO_EMC_B2_13	○
TX_CTL	TX_EN	ETH0_TX_EN	GPIO_EMC_B1_36 GPIO_EMC_B2_07	○
RXC	RX_CLK	ETH0_RX_CLK	GPIO_EMC_B2_00 GPIO_EMC_B2_15	
RXD0	RX_DATA0	ETH0_RX_DATA0	GPIO_EMC_B1_38 GPIO_EMC_B2_09	
RXD1	RX_DATA1	ETH0_RX_DATA1	GPIO_EMC_B1_39 GPIO_EMC_B2_10	
RXD2	RX_DATA2	ETH0_RX_DATA2	GPIO_EMC_B2_01 GPIO_EMC_B2_16	
RXD3	RX_DATA3	ETH0_RX_DATA3	GPIO_EMC_B2_02 GPIO_EMC_B2_17	
RX_CTL	RX_EN	ETH0_RX_EN	GPIO_EMC_B1_40 GPIO_EMC_B2_11	

#### 4.5.2 ETH0 MII/RMII/RGMII引脚和时钟配置

根据所需的连接 (MII/RMII/RGMII)，为表31 (MII)、表32 (RMII) 或表33 (RGMII) 中列出的每个信号选择并配置一个引脚。

引脚功能通过SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器进行配置。引脚方向由选定的功能自动确定，并在“方向”列中标明。

对每个选定引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器。

- 开漏输出——禁用
- PDRV——高驱动强度

输出引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——无上拉或下拉

输入引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——下拉

#### 4.5.2.1 MII连接的特定设置

- 将NETC\_LINK\_CFG0寄存器中的MII\_PROT位设置为0 (MII)。
- NETC\_CLOCK\_ROOT频率必须为25MHz或更高。

#### 4.5.2.2 RMII连接的特定设置

当使用RMII连接时，可通过两种方式产生RMII参考时钟。

1. RMII参考时钟由MCU提供 (ETH0\_TX\_CLK端口为输出)。
2. RMII参考时钟由50MHz外部振荡器提供 (ETH0\_TX\_CLK端口为输入)。

RMII参考时钟由MCU提供时：

- 在SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器中，将ETH0\_TX\_CLK引脚的Sion位设置为1。
- 将NETC\_LINK\_CFG0寄存器中的MII\_PROT位设置为1 (RMII)。
- 将NETC\_PORT\_MISC\_CFG寄存器中的PORT0\_RMII\_REF\_CLK\_DIR位设置为1 (Port0 RMII参考时钟为输出)。
- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输出引脚设置配置ETH0\_TX\_CLK。
- 启用SYS\_PLL1\_DIV2输出 (500MHz)。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将MAC0\_CLOCK\_ROOT时钟源配置为2 (SYS\_PLL1\_DIV2)，并将分频器配置为10。时钟根提供RMII所需的50MHz。
- NETC\_CLOCK\_ROOT频率必须为50MHz或更高。

RMII参考时钟由50MHz外部振荡器提供时：

- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输入引脚设置配置ETH0\_TX\_CLK。
- 将NETC\_PORT\_MISC\_CFG寄存器中的PORT0\_RMII\_REF\_CLK\_DIR位设置为0 (Port0 RMII参考时钟为输入)。
- NETC\_CLOCK\_ROOT频率必须为50MHz或更高。

#### 4.5.2.3 RGMII连接的特定设置

- 启用SYS\_PLL1\_DIV2输出 (500MHz)。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将MAC0\_CLOCK\_ROOT时钟源配置为2 (SYS\_PLL1\_DIV2)，并将分频器配置为4。时钟根提供RGMII所需的125MHz。
- 将NETC\_LINK\_CFG0寄存器中的MII\_PROT位设置为2 (RGMII)。
- NETC\_CLOCK\_ROOT频率必须为125MHz或更高。

### 4.5.3 ETH1 MII、RMII和RGMII的可用引脚

表34. i.MX RT1180——ETH1 MII管脚

ETH1		MII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TX_CLK	TX_CLK	ETH1_TX_CLK	GPIO_B1_03	I
TXD0	TX_DATA0	ETH1_TX_DATA0	GPIO_B1_00	O
TXD1	TX_DATA1	ETH1_TX_DATA1	GPIO_B1_01	O
TXD2	TX_DATA2	ETH1_TX_DATA2	GPIO_B1_07	O

表34. i.MX RT1180—ETH1 MII管脚 (续)

ETH1		MII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TXD3	TX_DATA3	ETH1_TX_DATA3	GPIO_B1_08	O
TX_EN	TX_EN	ETH1_TX_EN	GPIO_B1_02	O
TX_ER (可选)	TX_ER	ETH1_TX_ER	GPIO_B1_13	O
RX_CLK	RX_CLK	ETH1_RX_CLK	GPIO_B1_11	I
RXD0	RX_DATA0	ETH1_RX_DATA0	GPIO_B1_04	I
RXD1	RX_DATA1	ETH1_RX_DATA1	GPIO_B1_05	I
RXD2	RX_DATA2	ETH1_RX_DATA2	GPIO_B1_09	I
RXD3	RX_DATA3	ETH1_RX_DATA3	GPIO_B1_10	I
RX_DV	RX_EN	ETH1_RX_EN	GPIO_B1_06	I
RX_ER	RX_ER	ETH1_RX_ER	GPIO_B1_12	I
CRS	CRS	ETH1_CRIS	GPIO_B2_00	I
COL	COL	ETH1_COL	GPIO_B2_01	I

表35. i.MX RT1180—ETH1 RMII管脚

ETH1		RMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
REF_CLK	TX_CLK	ETH1_TX_CLK	GPIO_B1_03	I/O
TXD0	TX_DATA0	ETH1_TX_DATA0	GPIO_B1_00	O
TXD1	TX_DATA1	ETH1_TX_DATA1	GPIO_B1_01	O
TX_EN	TX_EN	ETH1_TX_EN	GPIO_B1_02	O
RXD0	RX_DATA0	ETH1_RX_DATA0	GPIO_B1_04	I
RXD1	RX_DATA1	ETH1_RX_DATA1	GPIO_B1_05	I
CRS_DV	RX_EN	ETH1_RX_EN	GPIO_B1_06	I
RX_ER	RX_ER	ETH1_RX_ER	GPIO_B1_12	I

表36. i.MX RT1180—ETH1 RGMII管脚

ETH1		RGMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TXC	TX_CLK	ETH1_TX_CLK	GPIO_B1_03	O
TXD0	TX_DATA0	ETH1_TX_DATA0	GPIO_B1_00	O
TXD1	TX_DATA1	ETH1_TX_DATA1	GPIO_B1_01	O
TXD2	TX_DATA2	ETH1_TX_DATA2	GPIO_B1_07	O
TXD3	TX_DATA3	ETH1_TX_DATA3	GPIO_B1_08	O
TX_CTL	TX_EN	ETH1_TX_EN	GPIO_B1_02	O

表36. i.MX RT1180—ETH1 RGMII管脚 (续)

ETH1		RGMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
RXC	RX_CLK	ETH1_RX_CLK	GPIO_B1_11	I
RXD0	RX_DATA0	ETH1_RX_DATA0	GPIO_B1_04	I
RXD1	RX_DATA1	ETH1_RX_DATA1	GPIO_B1_05	I
RXD2	RX_DATA2	ETH1_RX_DATA2	GPIO_B1_09	I
RXD3	RX_DATA3	ETH1_RX_DATA3	GPIO_B1_10	I
RX_CTL	RX_EN	ETH1_RX_EN	GPIO_B1_06	I

#### 4.5.4 ETH1 MII/RMII/RGMII引脚和时钟配置

根据所需的连接 (MII/RMII/RGMII)，为表34 (MII)、表35 (RMII) 或表36 (RGMII) 中列出的每个信号选择并配置一个引脚。

引脚功能通过SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器进行配置。引脚方向由选定的功能自动确定，并在“方向”列中标明。

对每个选定引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器。

- 开漏输出——禁用
- PDRV——高驱动强度

输出引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——无上拉或下拉

输入引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——下拉

##### 4.5.4.1 MII连接的特定设置

- 将NETC\_LINK\_CFG1寄存器中的MII\_PROT位设置为0 (MII)。
- NETC\_CLOCK\_ROOT频率必须为25MHz或更高。

##### 4.5.4.2 RMII连接的特定设置

当使用RMII连接时，可通过两种方式产生RMII参考时钟。

1. RMII参考时钟由MCU提供 (ETH1\_TX\_CLK端口为输出)。
2. RMII参考时钟由50MHz外部振荡器提供 (ETH1\_TX\_CLK端口为输入)。

RMII参考时钟由MCU提供时：

- 在SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器中，将ETH1\_TX\_CLK引脚的Sion位设置为1。
- 将NETC\_LINK\_CFG1寄存器中的MII\_PROT位设置为1 (RMII)。
- 将NETC\_PORT\_MISC\_CFG寄存器中的PORT1\_RMII\_REF\_CLK\_DIR位设置为1 (Port1 RMII参考时钟为输出)。
- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输出引脚设置配置ETH1\_TX\_CLK。
- 启用SYS\_PLL1\_DIV2输出 (500MHz)。对于正确的PLL初始化，请阅读参考手册中的相关章节。

- 将MAC1\_CLOCK\_ROOT时钟源配置为2 (SYS\_PLL1\_DIV2)，并将分频器配置为10。时钟根提供RMII所需的50MHz。
- NETC\_CLOCK\_ROOT频率必须为50MHz或更高。

RMII参考时钟由50MHz外部振荡器提供时：

- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输入引脚设置配置ETH1\_TX\_CLK。
- 将NETC\_PORT\_MISC\_CFG寄存器中的PORT1\_RMII\_REF\_CLK\_DIR位设置为0 (Port1 RMII参考时钟为输入)。
- NETC\_CLOCK\_ROOT频率必须为50MHz或更高。

#### 4.5.4.3 RGMII连接的特定设置

- 启用SYS\_PLL1\_DIV2输出 (500MHz)。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将MAC1\_CLOCK\_ROOT时钟源配置为2 (SYS\_PLL1\_DIV2)，并将分频器配置为4。时钟根提供RGMII所需的125MHz。
- 将NETC\_LINK\_CFG1寄存器中的MII\_PROT位设置为2 (RGMII)。
- NETC\_CLOCK\_ROOT频率必须为125MHz或更高。

#### 4.5.5 ETH2 MII、RMII和RGMII的可用引脚

表37. i.MX RT1180—ETH2 MII管脚

ETH2		MII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TX_CLK	TX_CLK	ETH2_TX_CLK	GPIO_EMC_B1_15 GPIO_EMC_B1_29 GPIO_B2_09	I
TXD0	TX_DATA0	ETH2_TX_DATA0	GPIO_EMC_B1_27 GPIO_B2_06	O
TXD1	TX_DATA1	ETH2_TX_DATA1	GPIO_EMC_B1_26 GPIO_B2_07	O
TXD2	TX_DATA2	ETH2_TX_DATA2	GPIO_EMC_B1_25 GPIO_EMC_B1_37 GPIO_B2_04	O
TXD3	TX_DATA3	ETH2_TX_DATA3	GPIO_EMC_B1_24 GPIO_EMC_B1_36 GPIO_B2_05	O
TX_EN	TX_EN	ETH2_TX_EN	GPIO_EMC_B1_14 GPIO_EMC_B1_28 GPIO_B2_08	O
TX_ER (可选)	TX_ER	ETH2_TX_ER	GPIO_EMC_B1_20 GPIO_EMC_B1_39	O
RX_CLK	RX_CLK	ETH2_RX_CLK	GPIO_EMC_B1_21 GPIO_EMC_B1_33 GPIO_EMC_B1_38 GPIO_B2_13	I
RXD0	RX_DATA0	ETH2_RX_DATA0	GPIO_EMC_B1_16	I



表37. i.MX RT1180—ETH2 MII管脚 (续)

ETH2		MII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
			GPIO_EMC_B1_30 GPIO_B2_10	
RXD1	RX_DATA1	ETH2_RX_DATA1	GPIO_EMC_B1_17 GPIO_EMC_B1_31 GPIO_B2_11	I
RXD2	RX_DATA2	ETH2_RX_DATA2	GPIO_EMC_B1_22 GPIO_EMC_B1_34 GPIO_B2_02	I
RXD3	RX_DATA3	ETH2_RX_DATA3	GPIO_EMC_B1_23 GPIO_EMC_B1_35 GPIO_B2_03	I
RX_DV	RX_EN	ETH2_RX_EN	GPIO_EMC_B1_13 GPIO_EMC_B1_32 GPIO_B2_12	I
RX_ER	RX_ER	ETH2_RX_ER	GPIO_EMC_B1_33 GPIO_B2_01	I
CRS	CRS	ETH2_CRS	GPIO_EMC_B1_18 GPIO_EMC_B1_40	I
COL	COL	ETH2_COL	GPIO_EMC_B1_19 GPIO_EMC_B1_41	I

表38. i.MX RT1180—ETH2 RMII管脚

ETH2		RMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
REF_CLK	TX_CLK	ETH2_TX_CLK	GPIO_EMC_B1_15 GPIO_B2_09 GPIO_EMC_B1_29	I/O
TXD0	TX_DATA0	ETH2_TX_DATA0	GPIO_EMC_B1_27 GPIO_B2_06	O
TXD1	TX_DATA1	ETH2_TX_DATA1	GPIO_EMC_B1_26 GPIO_B2_07	O
TX_EN	TX_EN	ETH2_TX_EN	GPIO_EMC_B1_14 GPIO_EMC_B1_28 GPIO_B2_08	O
RXD0	RX_DATA0	ETH2_RX_DATA0	GPIO_EMC_B1_16 GPIO_EMC_B1_30 GPIO_B2_10	I
RXD1	RX_DATA1	ETH2_RX_DATA1	GPIO_EMC_B1_17 GPIO_EMC_B1_31 GPIO_B2_11	I

表38. i.MX RT1180—ETH2 RMII管脚 (续)

ETH2		RMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
CRS_DV	RX_EN	ETH2_RX_EN	GPIO_EMC_B1_13 GPIO_EMC_B1_3 2 GPIO_B2_12	I
RX_ER	RX_ER	ETH2_RX_ER	GPIO_EMC_B1_33 GPIO_B2_01	I

表39. i.MX RT1180—ETH2 RGMII管脚

ETH2		RGMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TXC	TX_CLK	ETH2_TX_CLK	GPIO_EMC_B1_15 GPIO_EMC_B1_29 GPIO_B2_09	O
TXD0	TX_DATA0	ETH2_TX_DATA0	GPIO_EMC_B1_27 GPIO_B2_06	O
TXD1	TX_DATA1	ETH2_TX_DATA1	GPIO_EMC_B1_26 GPIO_B2_07	O
TXD2	TX_DATA2	ETH2_TX_DATA2	GPIO_EMC_B1_25 GPIO_EMC_B1_37 GPIO_B2_04	O
TXD3	TX_DATA3	ETH2_TX_DATA3	GPIO_EMC_B1_24 GPIO_EMC_B1_36 GPIO_B2_05	O
TX_CTL	TX_EN	ETH2_TX_EN	GPIO_EMC_B1_14 GPIO_EMC_B1_28 GPIO_B2_08	O
RXC	RX_CLK	ETH2_RX_CLK	GPIO_EMC_B1_21 GPIO_EMC_B1_33 GPIO_EMC_B1_38 GPIO_B2_13	I
RXD0	RX_DATA0	ETH2_RX_DATA0	GPIO_EMC_B1_16 GPIO_EMC_B1_30 GPIO_B2_10	I
RXD1	RX_DATA1	ETH2_RX_DATA1	GPIO_EMC_B1_17 GPIO_EMC_B1_31 GPIO_B2_11	I
RXD2	RX_DATA2	ETH2_RX_DATA2	GPIO_EMC_B1_22 GPIO_EMC_B1_34 GPIO_B2_02	I
RXD3	RX_DATA3	ETH2_RX_DATA3	GPIO_EMC_B1_23 GPIO_EMC_B1_35 GPIO_B2_03	I

表39. i.MX RT1180—ETH2 RGMII管脚 (续)

ETH2		RGMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
RX_CTL	RX_EN	ETH2_RX_EN	GPIO_EMC_B1_13 GPIO_EMC_B1_3 2 GPIO_B2_12	I

#### 4.5.6 ENET2 MII/RMII/RGMII引脚和时钟配置

根据所需的连接 (MII/RMII/RGMII)，为[表37](#) (MII)、[表38](#) (RMII) 或[表39](#) (RGMII) 中列出的每个信号选择并配置一个引脚。

引脚功能通过SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器进行配置。引脚方向由选定的功能自动确定，并在“方向”列中标明。

对每个选定引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器。

- 开漏输出——禁用
- PDRV——高驱动强度

输出引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——无上拉或下拉

输入引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——下拉

##### 4.5.6.1 MII连接的特定设置

- 将NETC\_LINK\_CFG2寄存器中的MII\_PROT位设置为0 (MII)。
- NETC\_CLOCK\_ROOT频率必须为25MHz或更高。

##### 4.5.6.2 RMII连接的特定设置

当使用RMII连接时，可通过两种方式产生RMII参考时钟。

1. RMII参考时钟由MCU提供 (ETH2\_TX\_CLK端口为输出)。
2. RMII参考时钟由50MHz外部振荡器提供 (ETH2\_TX\_CLK端口为输入)。

RMII参考时钟由MCU提供时：

- 在SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器中，将ETH2\_TX\_CLK引脚的Sion位设置为1。
- 将NETC\_LINK\_CFG2寄存器中的MII\_PROT位设置为1 (RMII)。
- 将NETC\_PORT\_MISC\_CFG寄存器中的PORT2\_RMII\_REF\_CLK\_DIR位设置为1 (Port2 RMII参考时钟为输出)。
- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输出引脚设置配置ETH2\_TX\_CLK。
- 启用SYS\_PLL1\_DIV2输出 (500MHz)。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将MAC2\_CLOCK\_ROOT时钟源配置为2 (SYS\_PLL1\_DIV2)，并将分频器配置为10。时钟根提供RMII所需的50MHz。
- NETC\_CLOCK\_ROOT频率必须为50MHz或更高。

RMII参考时钟由50MHz外部振荡器提供时：

- 在SW\_PAD\_CTL\_PAD\_GPIO\_n SW\_PAD控制寄存器中，使用输入引脚设置配置ETH2\_TX\_CLK。
- 将NETC\_PORT\_MISC\_CFG寄存器中的PORT2\_RMII\_REF\_CLK\_DIR位设置为0（Port2 RMII参考时钟为输入）。
- NETC\_CLOCK\_ROOT频率必须为50MHz或更高。

#### 4.5.6.3 RGMII连接的特定设置

- 启用SYS\_PLL1\_DIV2输出（500MHz）。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将MAC2\_CLOCK\_ROOT时钟源配置为2（SYS\_PLL1\_DIV2），并将分频器配置为4。时钟根提供RGMII所需的125MHz。
- 将NETC\_LINK\_CFG2寄存器中的MII\_PROT位设置为2（RGMII）。
- NETC\_CLOCK\_ROOT频率必须为125MHz或更高。

#### 4.5.7 ETH3 MII、RMII和RGMII的可用引脚

表40. i.MX RT1180—ETH3 MII管脚

ETH3		MII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TX_CLK	TX_CLK	ETH3_TX_CLK	GPIO_EMC_B1_08 GPIO_EMC_B2_08	I
TXD0	TX_DATA0	ETH3_TX_DATA0	GPIO_EMC_B1_05 GPIO_EMC_B2_05	O
TXD1	TX_DATA1	ETH3_TX_DATA1	GPIO_EMC_B1_06 GPIO_EMC_B2_06	O
TXD2	TX_DATA2	ETH3_TX_DATA2	GPIO_EMC_B1_01 GPIO_EMC_B2_14	O
TXD3	TX_DATA3	ETH3_TX_DATA3	GPIO_EMC_B1_00 GPIO_EMC_B2_13	O
TX_EN	TX_EN	ETH3_TX_EN	GPIO_EMC_B1_07 GPIO_EMC_B2_07	O
TX_ER (可选)	TX_ER	ETH3_TX_ER	GPIO_EMC_B1_13 GPIO_EMC_B2_18	O
RX_CLK	RX_CLK	ETH3_RX_CLK	GPIO_EMC_B1_02 GPIO_EMC_B2_15	I
RXD0	RX_DATA0	ETH3_RX_DATA0	GPIO_EMC_B1_09 GPIO_EMC_B2_09	I
RXD1	RX_DATA1	ETH3_RX_DATA1	GPIO_EMC_B1_10 GPIO_EMC_B2_10	I
RXD2	RX_DATA2	ETH3_RX_DATA2	GPIO_EMC_B1_04 GPIO_EMC_B2_16	I
RXD3	RX_DATA3	ETH3_RX_DATA3	GPIO_EMC_B1_03 GPIO_EMC_B2_17	I
RX_DV	RX_EN	ETH3_RX_EN	GPIO_EMC_B1_11 GPIO_EMC_B2_11	I

表40. i.MX RT1180—ETH3 MII管脚 (续)

ETH3		MII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
RX_ER	RX_ER	ETH3_RX_ER	GPIO_EMC_B1_12 GPIO_EMC_B2_12	I
CRS	CRS	ETH3_CRCS	GPIO_EMC_B1_14 GPIO_EMC_B2_03	I
COL	COL	ETH3_COL	GPIO_EMC_B1_15 GPIO_EMC_B2_04	I

表41. i.MX RT1180—ETH3 RMII管脚

ETH3		RMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
REF_CLK	TX_CLK	ETH3_TX_CLK	GPIO_EMC_B1_08 GPIO_EMC_B2_08	I/O
TXD0	TX_DATA0	ETH3_TX_DATA0	GPIO_EMC_B1_05 GPIO_EMC_B2_05	O
TXD1	TX_DATA1	ETH3_TX_DATA1	GPIO_EMC_B1_06 GPIO_EMC_B2_06	O
TX_EN	TX_EN	ETH3_TX_EN	GPIO_EMC_B1_07 GPIO_EMC_B2_07	O
RXD0	RX_DATA0	ETH3_RX_DATA0	GPIO_EMC_B1_09 GPIO_EMC_B2_09	I
RXD1	RX_DATA1	ETH3_RX_DATA1	GPIO_EMC_B1_10 GPIO_EMC_B2_10	I
CRS_DV	RX_EN	ETH3_RX_EN	GPIO_EMC_B1_11 GPIO_EMC_B2_11	I
RX_ER	RX_ER	ETH3_RX_ER	GPIO_EMC_B1_12 GPIO_EMC_B2_12	I

表42. i.MX RT1180—ETH3 RGMII管脚

ETH3		RGMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TXC	TX_CLK	ETH3_TX_CLK	GPIO_EMC_B1_08 GPIO_EMC_B2_08	O
TXD0	TX_DATA0	ETH3_TX_DATA0	GPIO_EMC_B1_05 GPIO_EMC_B2_05	O
TXD1	TX_DATA1	ETH3_TX_DATA1	GPIO_EMC_B1_06 GPIO_EMC_B2_06	O
TXD2	TX_DATA2	ETH3_TX_DATA2	GPIO_EMC_B1_01 GPIO_EMC_B2_14	O

表42. i.MX RT1180—ETH3 RGMII管脚 (续)

ETH3		RGMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TXD3	TX_DATA3	ETH3_TX_DATA3	GPIO_EMC_B1_00 GPIO_EMC_B2_13	O
TX_CTL	TX_EN	ETH3_TX_EN	GPIO_EMC_B1_07 GPIO_EMC_B2_07	O
RXC	RX_CLK	ETH3_RX_CLK	GPIO_EMC_B1_02 GPIO_EMC_B2_15	I
RXD0	RX_DATA0	ETH3_RX_DATA0	GPIO_EMC_B1_09 GPIO_EMC_B2_09	I
RXD1	RX_DATA1	ETH3_RX_DATA1	GPIO_EMC_B1_10 GPIO_EMC_B2_10	I
RXD2	RX_DATA2	ETH3_RX_DATA2	GPIO_EMC_B1_04 GPIO_EMC_B2_16	I
RXD3	RX_DATA3	ETH3_RX_DATA3	GPIO_EMC_B1_03 GPIO_EMC_B2_17	I
RX_CTL	RX_EN	ETH3_RX_EN	GPIO_EMC_B1_11 GPIO_EMC_B2_11	I

#### 4.5.8 ETH3 MII/RMII/RGMII引脚和时钟配置

根据所需的连接 (MII/RMII/RGMII)，为表40 (MII)、表41 (RMII) 或表42 (RGMII) 中列出的每个信号选择并配置一个引脚。

引脚功能通过SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器进行配置。引脚方向由选定的功能自动确定，并在“方向”列中标明。

对每个选定引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器。

- 开漏输出——禁用
- PDRV——高驱动强度

输出引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——无上拉或下拉

输入引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——下拉

##### 4.5.8.1 MII连接的特定设置

- 将NETC\_LINK\_CFG3寄存器中的MII\_PROT位设置为0 (MII)。
- NETC\_CLOCK\_ROOT频率必须为25MHz或更高。

##### 4.5.8.2 RMII连接的特定设置

当使用RMII连接时，可通过两种方式产生RMII参考时钟。

1. RMII参考时钟由MCU提供 (ETH3\_TX\_CLK端口为输出)。

2. RMII参考时钟由50MHz外部振荡器提供 (ETH3\_TX\_CLK端口为输入)。

RMII参考时钟由MCU提供时:

- 在SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器中, 将ETH3\_TX\_CLK引脚的Sion位设置为1。
- 将NETC\_LINK\_CFG3寄存器中的MII\_PROT位设置为1 (RMII)。
- 将NETC\_PORT\_MISC\_CFG寄存器中的PORT3\_RMII\_REF\_CLK\_DIR位设置为1 (Port3 RMII参考时钟为输出)。
- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中, 使用输出引脚设置配置ETH3\_TX\_CLK。
- 启用SYS\_PLL1\_DIV2输出 (500MHz)。对于正确的PLL初始化, 请阅读参考手册中的相关章节。
- 将MAC3\_CLOCK\_ROOT时钟源配置为2 (SYS\_PLL1\_DIV2), 并将分频器配置为10。时钟根提供RMII所需的50MHz。
- NETC\_CLOCK\_ROOT频率必须为50MHz或更高。

RMII参考时钟由50MHz外部振荡器提供时:

- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中, 使用输入引脚设置配置ETH3\_TX\_CLK。
- 将NETC\_PORT\_MISC\_CFG寄存器中的PORT3\_RMII\_REF\_CLK\_DIR位设置为0 (Port3 RMII参考时钟为输入)。
- NETC\_CLOCK\_ROOT频率必须为50MHz或更高。

#### 4.5.8.3 RGMII连接的特定设置

- 启用SYS\_PLL1\_DIV2输出 (500MHz)。对于正确的PLL初始化, 请阅读参考手册中的相关章节。
- 将MAC3\_CLOCK\_ROOT时钟源配置为2 (SYS\_PLL1\_DIV2), 并将分频器配置为4。时钟根提供RGMII所需的125MHz。
- 将NETC\_LINK\_CFG3寄存器中的MII\_PROT位设置为2 (RGMII)。
- NETC\_CLOCK\_ROOT频率必须为125MHz或更高。

#### 4.5.9 ETH4 MII、RMII和RGMII的可用引脚

表43. i.MX RT1180—ETH4 MII管脚

ETH4		MII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TX_CLK	TX_CLK	ETH4_TX_CLK	GPIO_EMC_B1_08 GPIO_EMC_B2_16 GPIO_B1_03	I
TXD0	TX_DATA0	ETH4_TX_DATA0	GPIO_EMC_B1_05 GPIO_EMC_B2_13 GPIO_B1_00	O
TXD1	TX_DATA1	ETH4_TX_DATA1	GPIO_EMC_B1_06 GPIO_EMC_B2_14 GPIO_B1_01	O
TXD2	TX_DATA2	ETH4_TX_DATA2	GPIO_EMC_B1_01 GPIO_EMC_B2_12 GPIO_B1_12	O
TXD3	TX_DATA3	ETH4_TX_DATA3	GPIO_EMC_B1_00 GPIO_EMC_B2_11	O

表43. i.MX RT1180—ETH4 MII管脚 (续)

ETH4		MII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
			GPIO_B1_13	
TX_EN	TX_EN	ETH4_TX_EN	GPIO_EMC_B1_07 GPIO_EMC_B2_15 GPIO_B1_02	O
TX_ER (可选)	TX_ER	ETH4_TX_ER	GPIO_EMC_B1_13 GPIO_EMC_B2_07 GPIO_B1_08	O
RX_CLK	RX_CLK	ETH4_RX_CLK	GPIO_EMC_B1_02 GPIO_EMC_B2_08 GPIO_B1_11	I
RXD0	RX_DATA0	ETH4_RX_DATA0	GPIO_EMC_B1_09 GPIO_EMC_B2_17 GPIO_B1_04	I
RXD1	RX_DATA1	ETH4_RX_DATA1	GPIO_EMC_B1_10 GPIO_EMC_B2_18 GPIO_B1_05	I
RXD2	RX_DATA2	ETH4_RX_DATA2	GPIO_EMC_B1_04 GPIO_EMC_B2_10 GPIO_B1_09	I
RXD3	RX_DATA3	ETH4_RX_DATA3	GPIO_EMC_B1_03 GPIO_EMC_B2_09 GPIO_B1_10	I
RX_DV	RX_EN	ETH4_RX_EN	GPIO_EMC_B1_11 GPIO_EMC_B2_19 GPIO_B1_06	I
RX_ER	RX_ER	ETH4_RX_ER	GPIO_EMC_B1_12 GPIO_EMC_B2_20 GPIO_B1_07	I
CRS	CRS	ETH4_CRS	GPIO_EMC_B1_14 GPIO_EMC_B2_05 GPIO_B2_00	I
COL	COL	ETH4_COL	GPIO_EMC_B1_15 GPIO_EMC_B2_06 GPIO_B2_01	I

表44. i.MX RT1180—ETH4 RMII管脚

ETH4		RMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
REF_CLK	TX_CLK	ETH4_TX_CLK	GPIO_EMC_B1_08 GPIO_EMC_B2_16 GPIO_B1_03	I/O



表44. i.MX RT1180—ETH4 RMII管脚 (续)

ETH4		RMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TXD0	TX_DATA0	ETH4_TX_DATA0	GPIO_EMC_B1_05 GPIO_EMC_B2_13 GPIO_B1_00	O
TXD1	TX_DATA1	ETH4_TX_DATA1	GPIO_EMC_B1_06 GPIO_EMC_B2_14 GPIO_B1_01	O
TX_EN	TX_EN	ETH4_TX_EN	GPIO_EMC_B1_07 GPIO_EMC_B2_15 GPIO_B1_02	O
RXD0	RX_DATA0	ETH4_RX_DATA0	GPIO_EMC_B1_09 GPIO_EMC_B2_17 GPIO_B1_04	I
RXD1	RX_DATA1	ETH4_RX_DATA1	GPIO_EMC_B1_10 GPIO_EMC_B2_18 GPIO_B1_05	I
CRS_DV	RX_EN	ETH4_RX_EN	GPIO_EMC_B1_11 GPIO_EMC_B2_19 GPIO_B1_06	I
RX_ER	RX_ER	ETH4_RX_ER	GPIO_EMC_B1_12 GPIO_EMC_B2_20 GPIO_B1_07	I

表45. i.MX RT1180—ETH4 RGMII管脚

ETH4		RGMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
TXC	TX_CLK	ETH4_TX_CLK	GPIO_EMC_B1_08 GPIO_EMC_B2_16 GPIO_B1_03	O
TXD0	TX_DATA0	ETH4_TX_DATA0	GPIO_EMC_B1_05 GPIO_EMC_B2_13 GPIO_B1_00	O
TXD1	TX_DATA1	ETH4_TX_DATA1	GPIO_EMC_B1_06 GPIO_EMC_B2_14 GPIO_B1_01	O
TXD2	TX_DATA2	ETH4_TX_DATA2	GPIO_EMC_B1_01 GPIO_EMC_B2_12 GPIO_B1_12	O
TXD3	TX_DATA3	ETH4_TX_DATA3	GPIO_EMC_B1_00 GPIO_EMC_B2_11 GPIO_B1_13	O
TX_CTL	TX_EN	ETH4_TX_EN	GPIO_EMC_B1_07	O

表45. i.MX RT1180—ETH4 RGMII管脚 (续)

ETH4		RGMII		
通用信号名称	MCU信号名称	端口	MCU引脚	方向
			GPIO_EMC_B2_15 GPIO_B1_02	
RXC	RX_CLK	ETH4_RX_CLK	GPIO_EMC_B1_02 GPIO_EMC_B2_08 GPIO_B1_11	I
RXD0	RX_DATA0	ETH4_RX_DATA0	GPIO_EMC_B1_09 GPIO_EMC_B2_17 GPIO_B1_04	I
RXD1	RX_DATA1	ETH4_RX_DATA1	GPIO_EMC_B1_10 GPIO_EMC_B2_18 GPIO_B1_05	I
RXD2	RX_DATA2	ETH4_RX_DATA2	GPIO_EMC_B1_04 GPIO_EMC_B2_10 GPIO_B1_09	I
RXD3	RX_DATA3	ETH4_RX_DATA3	GPIO_EMC_B1_03 GPIO_EMC_B2_09 GPIO_B1_10	I
RX_CTL	RX_EN	ETH4_RX_EN	GPIO_EMC_B1_11 GPIO_EMC_B2_19 GPIO_B1_06	I

#### 4.5.10 ETH4 MII/RMII/RGMII引脚和时钟配置

根据所需的连接 (MII/RMII/RGMII)，为[表43](#) (MII)、[表44](#) (RMII) 或[表45](#) (RGMII) 中列出的每个信号选择并配置一个引脚。

引脚功能通过SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器进行配置。引脚方向由选定的功能自动确定，并在“方向”列中标明。

对每个选定引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器。

- 开漏输出——禁用
- PDRV——高驱动强度

输出引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——无上拉或下拉

输入引脚 (请参阅上表中的“方向”列)：

- 下拉/上拉——下拉

##### 4.5.10.1 MII连接的特定设置

- 将NETC\_LINK\_CFG4寄存器中的MII\_PROT位设置为0 (MII)。
- NETC\_CLOCK\_ROOT频率必须为25MHz或更高。

#### 4.5.10.2 RMII连接的特定设置

当使用RMII连接时，可通过两种方式产生RMII参考时钟。

1. RMII参考时钟由MCU提供（ETH4\_TX\_CLK端口为输出）。
2. RMII参考时钟由50MHz外部振荡器提供（ETH4\_TX\_CLK端口为输入）。

RMII参考时钟由MCU提供时：

- 在SW\_MUX\_CTL\_PAD\_GPIO\_n\_SW\_MUX控制寄存器中，将ETH4\_TX\_CLK引脚的Sion位设置为1。
- 将NETC\_LINK\_CFG4寄存器中的MII\_PROT位设置为1（RMII）。
- 将NETC\_PORT\_MISC\_CFG寄存器中的PORT4\_RMII\_REF\_CLK\_DIR位设置为1（Port4 RMII参考时钟为输出）。
- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输出引脚设置配置ETH4\_TX\_CLK。
- 启用SYS\_PLL1\_DIV2输出（500MHz）。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将MAC4\_CLOCK\_ROOT时钟源配置为2（SYS\_PLL1\_DIV2），并将分频器配置为10。时钟根提供RMII所需的50MHz。
- NETC\_CLOCK\_ROOT频率必须为50MHz或更高。

RMII参考时钟由50MHz外部振荡器提供时：

- 在SW\_PAD\_CTL\_PAD\_GPIO\_n\_SW\_PAD控制寄存器中，使用输入引脚设置配置ETH4\_TX\_CLK。
- 将NETC\_PORT\_MISC\_CFG寄存器中的PORT4\_RMII\_REF\_CLK\_DIR位设置为0（Port4 RMII参考时钟为输入）。
- NETC\_CLOCK\_ROOT频率必须为50MHz或更高。

#### 4.5.10.3 RGMII连接的特定设置

- 启用SYS\_PLL1\_DIV2输出（500MHz）。对于正确的PLL初始化，请阅读参考手册中的相关章节。
- 将MAC4\_CLOCK\_ROOT时钟源配置为2（SYS\_PLL1\_DIV2），并将分频器配置为4。时钟根提供RGMII所需的125MHz。
- 将NETC\_LINK\_CFG4寄存器中的MII\_PROT位设置为2（RGMII）。
- NETC\_CLOCK\_ROOT频率必须为125MHz或更高。

#### 4.5.11 NETC MDIO的可用引脚

表46. i.MX RT118x——NETC MDIO管脚

NETC		MDIO		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
MDC	MDC	NETC_MDC	GPIO_EMC_B1_18 GPIO_EMC_B1_40 GPIO_EMC_B2_00 GPIO_EMC_B2_19 GPIO_AD_30 GPIO_SD_B2_11 GPIO_B1_13 GPIO_B2_03	O
MDIO	MDIO	ENET_MDIO_DATA	GPIO_EMC_B1_19 GPIO_EMC_B1_41	I/O

表46. i.MX RT118x—NETC MDIO管脚 (续)

NETC		MDIO		
通用信号名称	MCU信号名称	MCU端口	MCU引脚	方向
			GPIO_EMC_B2_01 GPIO_EMC_B2_20 GPIO_AD_31 GPIO_SD_B2_10 GPIO_B1_12 GPIO_B2_02	

#### 4.5.12 NETC MDIO引脚配置

对GPIO\_EMC\_xx、GPIO\_SD\_xx和GPIO\_Bx\_xx选定引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n SW PAD控制寄存器。

- 开漏输出——禁用
- PDRV——高驱动强度
- 下拉/上拉——下拉

对GPIO\_AD\_xx引脚使用以下设置，并将设置写入SW\_PAD\_CTL\_PAD\_GPIO\_n SW PAD控制寄存器。

- 开漏输出——禁用
- 拉/保持选择——拉启用
- 上拉/下拉配置——弱下拉
- 驱动强度——高驱动
- 斜率——慢斜率

## 5 修订历史

表47. 修订历史

文档ID	发布日期	说明
AN14251 v.1.0	2024年3月20日	初始版本

## Legal information

### Definitions

**Draft** — A draft status on a document indicates that the content is still under internal review and subject to formal approval, which may result in modifications or additions. NXP Semiconductors does not give any representations or warranties as to the accuracy or completeness of information included in a draft version of a document and shall have no liability for the consequences of use of such information.

### Disclaimers

**Limited warranty and liability** — Information in this document is believed to be accurate and reliable. However, NXP Semiconductors does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information and shall have no liability for the consequences of use of such information. NXP Semiconductors takes no responsibility for the content in this document if provided by an information source outside of NXP Semiconductors.

In no event shall NXP Semiconductors be liable for any indirect, incidental, punitive, special or consequential damages (including - without limitation - lost profits, lost savings, business interruption, costs related to the removal or replacement of any products or rework charges) whether or not such damages are based on tort (including negligence), warranty, breach of contract or any other legal theory.

Notwithstanding any damages that customer might incur for any reason whatsoever, NXP Semiconductors' aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the Terms and conditions of commercial sale of NXP Semiconductors.

**Right to make changes** — NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

**Suitability for use** — NXP Semiconductors products are not designed, authorized or warranted to be suitable for use in life support, life-critical or safety-critical systems or equipment, nor in applications where failure or malfunction of an NXP Semiconductors product can reasonably be expected to result in personal injury, death or severe property or environmental damage. NXP Semiconductors and its suppliers accept no liability for inclusion and/or use of NXP Semiconductors products in such equipment or applications and therefore such inclusion and/or use is at the customer's own risk.

**Applications** — Applications that are described herein for any of these products are for illustrative purposes only. NXP Semiconductors makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Customers are responsible for the design and operation of their applications and products using NXP Semiconductors products, and NXP Semiconductors accepts no liability for any assistance with applications or customer product design. It is customer's sole responsibility to determine whether the NXP Semiconductors product is suitable and fit for the customer's applications and products planned, as well as for the planned application and use of customer's third party customer(s). Customers should provide appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP Semiconductors does not accept any liability related to any default, damage, costs or problem which is based on any weakness or default in the customer's applications or products, or the application or use by customer's third party customer(s). Customer is responsible for doing all necessary testing for the customer's applications and products using NXP Semiconductors products in order to avoid a default of the applications and the products or of the application or use by customer's third party customer(s). NXP does not accept any liability in this respect.

**Terms and conditions of commercial sale** — NXP Semiconductors products are sold subject to the general terms and conditions of commercial sale, as published at <https://www.nxp.com.cn/profile/terms>, unless otherwise agreed in a valid written individual agreement. In case an individual agreement is concluded only the terms and conditions of the respective agreement shall apply. NXP Semiconductors hereby expressly objects to applying the customer's general terms and conditions with regard to the purchase of NXP Semiconductors products by customer.

**Export control** — This document as well as the item(s) described herein may be subject to export control regulations. Export might require a prior authorization from competent authorities.

**Suitability for use in non-automotive qualified products** — Unless this document expressly states that this specific NXP Semiconductors product is automotive qualified, the product is not suitable for automotive use. It is neither qualified nor tested in accordance with automotive testing or application requirements. NXP Semiconductors accepts no liability for inclusion and/or use of non-automotive qualified products in automotive equipment or applications.

In the event that customer uses the product for design-in and use in automotive applications to automotive specifications and standards, customer (a) shall use the product without NXP Semiconductors' warranty of the product for such automotive applications, use and specifications, and (b) whenever customer uses the product for automotive applications beyond NXP Semiconductors' specifications such use shall be solely at customer's own risk, and (c) customer fully indemnifies NXP Semiconductors for any liability, damages or failed product claims resulting from customer design and use of the product for automotive applications beyond NXP Semiconductors' standard warranty and NXP Semiconductors' product specifications.

**Translations** — A non-English (translated) version of a document, including the legal information in that document, is for reference only. The English version shall prevail in case of any discrepancy between the translated and English versions.

**Security** — Customer understands that all NXP products may be subject to unidentified vulnerabilities or may support established security standards or specifications with known limitations. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer's applications and products. Customer's responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer's applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP.

NXP has a Product Security Incident Response Team (PSIRT) (reachable at [PSIRT@nxp.com](mailto:PSIRT@nxp.com)) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

**NXP B.V.** — NXP B.V. is not an operating company and it does not distribute or sell products.

### Trademarks

Notice: All referenced brands, product names, service names, and trademarks are the property of their respective owners.

**NXP** — wordmark and logo are trademarks of NXP B.V.

**i.MX** — is a trademark of NXP B.V.

**Microsoft, Azure, and ThreadX** — are trademarks of the Microsoft group of companies.

## 目录

<b>1</b>	<b>介绍</b> .....	<b>2</b>	4.5.4.1	MII连接的特定设置	31
<b>2</b>	<b>媒体独立接口</b> .....	<b>2</b>	4.5.4.2	RMII连接的特定设置	31
2.1	媒体独立接口信号	2	4.5.4.3	RGMII连接的特定设置	32
2.1.1	MII信号	2	4.5.5	ETH2 MII、RMII和RGMII的可用引脚	32
2.1.2	RMII信号	3	4.5.6	ENET2 MII/RMII/RGMII引脚和时钟配置	35
2.1.3	RGMII信号	3	4.5.6.1	MII连接的特定设置	35
<b>3</b>	<b>以太网功能</b> .....	<b>4</b>	4.5.6.2	RMII连接的特定设置	35
<b>4</b>	<b>MCU PHY连接</b> .....	<b>4</b>	4.5.6.3	RGMII连接的特定设置	36
4.1	i.MX RT102x.....	4	4.5.7	ETH3 MII、RMII和RGMII的可用引脚	36
4.1.1	MII、RMII和MDIO的可用引脚	4	4.5.8	ETH3 MII/RMII/RGMII引脚和时钟配置	38
4.1.2	MII/RMII引脚和时钟配置	6	4.5.8.1	MII连接的特定设置	38
4.1.2.1	MII连接的特定设置	6	4.5.8.2	RMII连接的特定设置	38
4.1.2.2	RMII连接的特定设置	6	4.5.8.3	RGMII连接的特定设置	39
4.2	i.MX RT105x	7	4.5.9	ETH4 MII、RMII和RGMII的可用引脚	39
4.2.1	ENET MII、RMII和MDIO的可用引脚	7	4.5.10	ETH4 MII/RMII/RGMII引脚和时钟配置	42
4.2.2	MII/RMII引脚和时钟配置	9	4.5.10.1	MII连接的特定设置	42
4.2.2.1	MII连接的特定设置	9	4.5.10.2	RMII连接的特定设置	43
4.2.2.2	RMII连接的特定设置	9	4.5.10.3	RGMII连接的特定设置	43
4.3	i.MX RT106x	10	4.5.11	NETC MDIO的可用引脚	43
4.3.1	ENET MII、RMII和MDIO的可用引脚	10	4.5.12	NETC MDIO引脚配置	44
4.3.2	ENET2 MII、RMII和MDIO的可用引脚	11	<b>5</b>	<b>修订历史</b> .....	<b>44</b>
4.3.3	MII/RMII引脚和时钟配置	13		<b>法律声明</b> .....	<b>45</b>
4.3.3.1	MII连接的特定设置	14			
4.3.3.2	RMII连接的特定设置	14			
4.4	i.MX RT117x.....	15			
4.4.1	ENET MII、RMII和MDIO的可用引脚	15			
4.4.2	ENET MII/RMII引脚和时钟配置	16			
4.4.2.1	MII连接的特定设置	17			
4.4.2.2	RMII连接的特定设置	17			
4.4.3	ENET1G MII、RMII、RGMII和MDIO的可用引脚	18			
4.4.4	ENET1G MII/RMII/RGMII引脚和时钟配置	21			
4.4.4.1	MII连接的特定设置	21			
4.4.4.2	RMII连接的特定设置	21			
4.4.4.3	RGMII连接的特定设置	22			
4.4.5	ENET_QoS MII、RMII、RGMII和MDIO的可用引脚	22			
4.4.6	ENET_QoS MII/RMII/RGMII引脚和时钟配置	24			
4.4.6.1	MII连接的特定设置	25			
4.4.6.2	RMII连接的特定设置	25			
4.4.6.3	RGMII连接的特定设置	26			
4.5	i.MX RT118x	26			
4.5.1	ETH0 MII、RMII和RGMII的可用引脚	26			
4.5.2	ETH0 MII/RMII/RGMII引脚和时钟配置	28			
4.5.2.1	MII连接的特定设置	29			
4.5.2.2	RMII连接的特定设置	29			
4.5.2.3	RGMII连接的特定设置	29			
4.5.3	ETH1 MII、RMII和RGMII的可用引脚	29			
4.5.4	ETH1 MII/RMII/RGMII引脚和时钟配置	31			

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section 'Legal information'.